

Ser: 10/511, 720

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-156627

(43)Date of publication of application : 06.06.2000

(51)Int.Cl.

H03H 11/04
// G06F 17/50

(21)Application number : 11-240034

(71)Applicant : AGENCY OF IND SCIENCE &
TECHNOL
HIGUCHI TETSUYA
ASAHI KASEI MICROSYSTEMS KK

(22)Date of filing : 26.08.1999

(72)Inventor : HIGUCHI TETSUYA
MURAKAWA MASAHIRO
KASAI YUJI
KIRYU SHOGO
ADACHI TOSHIO
SUZUKI SHIRO

(30)Priority

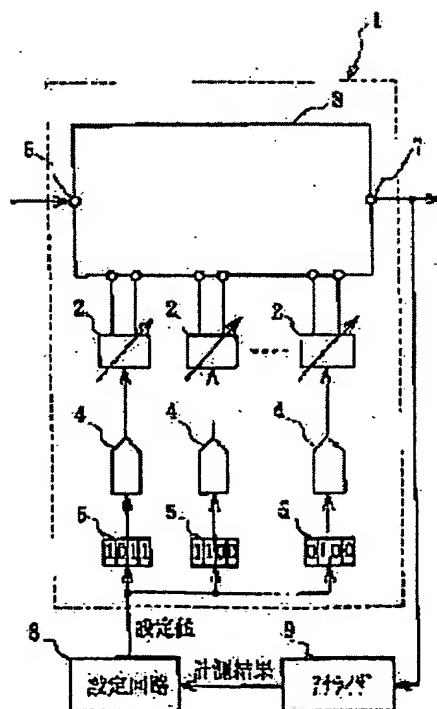
Priority number : 10265363 Priority date : 18.09.1998 Priority country : JP

(54) ELECTRONIC CIRCUIT AND ITS ADJUSTMENT METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an electronic circuit with more sophisticated functions and higher performance than those of a conventional circuit with less design labor than that of the conventional circuit even in the case that parameters of circuit components cannot accurately be grasped and even in the case that there is any error in the parameters of the circuit components caused by a manufacture process.

SOLUTION: In the electronic circuit 1 provided with a plurality of circuit components to realize prescribed basic functions, circuit components whose component parameters can be changed in response to a value of a control signal are adopted for a plurality of specific circuit components 2 relating to a basic circuit 3 acting a prescribed basic function among a plurality of the circuit components of the circuit 1. The electronic circuit 1 is provided with a plurality of latch circuits 5 that latch a plurality of control signals to be given to a plurality of the specific circuit components, and external devices 8, 9 change values of a plurality of the control signals latched by a plurality of the latch circuits so that the basic function satisfies prescribed specifications according to a probability retrieval method.



LEGAL STATUS

[Date of request for examination]	26.06.2002
[Date of sending the examiner's decision of rejection]	07.09.2004
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	
[Date of registration]	
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	07.10.2004
[Date of extinction of right]	

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-156627

(P2000-156627A)

(43)公開日 平成12年6月6日(2000.6.6)

(51)Int.Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 3 H 11/04

H 0 3 H 11/04

H

// G 0 6 F 17/50

G 0 6 F 15/60

6 0 4 A

6 5 6 A

審査請求 未請求 請求項の数24 O L (全 30 頁)

(21)出願番号 特願平11-240034

(22)出願日 平成11年8月26日(1999.8.26)

(31)優先権主張番号 特願平10-265363

(32)優先日 平成10年9月18日(1998.9.18)

(33)優先権主張国 日本 (J P)

(71)出願人 000001144

工業技術院長

東京都千代田区霞が関1丁目3番1号

(74)上記1名の復代理人 100059258

弁理士 杉村 暁秀 (外3名)

(71)出願人 597073531

樋口 哲也

茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内

(71)出願人 594021175

旭化成マイクロシステム株式会社

東京都渋谷区代々木1丁目24番10号

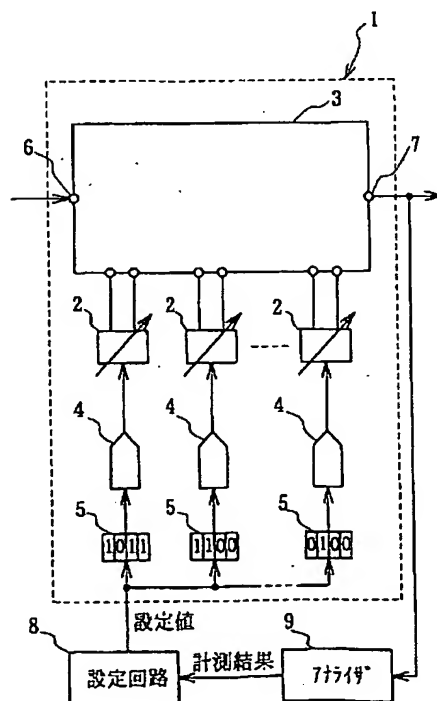
最終頁に続く

(54)【発明の名称】 電子回路およびその調整方法

(57)【要約】

【課題】 回路素子のパラメータが正確には把握できない場合や製造プロセス上回路素子のパラメータに誤差が生ずる場合でも、従来より少ない設計労力で、従来より高い機能・高い性能が電子回路で得られるようにすることにある。

【解決手段】 複数の回路素子を含めて所定の基本的機能を奏する電子回路1において、前記複数の回路素子の中の、前記所定の基本的機能を奏する基本的回路3に関連する特定の複数の回路素子2が、制御信号が示す値に応じて素子パラメータを変化させる回路素子で構成されており、前記電子回路が、前記特定の複数の回路素子に与える複数の制御信号を保持する複数の保持回路5を具え、前記複数の保持回路が、それらの保持回路が保持する前記複数の制御信号の値を外部装置8、9により、確率的探索手法に従って、前記電子回路の基本的機能が所定の仕様を満たすように変更されるものであることを特徴としている。



【特許請求の範囲】

【請求項 1】 複数の回路素子を用いて所定の基本的機能を奏する電子回路において、

前記複数の回路素子の中の、前記所定の基本的機能を奏する基本的回路に関連する特定の複数の回路素子が、制御信号が示す値に応じて素子パラメータを変化させる回路素子で構成されており、

前記電子回路が、前記特定の複数の回路素子に与える複数の制御信号を保持する複数の保持回路を具え、

前記複数の保持回路が、それらの保持回路が保持する前記複数の制御信号の値を外部装置により、確率的探索手法に従って、前記電子回路の基本的機能が所定の仕様を満たすように変更されるものであることを特徴とする、電子回路。

【請求項 2】 前記保持回路が保持する制御信号の値は、前記外部装置が、遺伝的アルゴリズムに従って前記制御信号の値を順次に変更して探索した、前記電子回路の基本的機能が所定の仕様を満たす状態となる最適値に変更されることを特徴とする、請求項 1 記載の電子回路。

【請求項 3】 前記保持回路が保持する制御信号の値は、前記外部装置が、焼きなまし法に従って前記制御信号の値を順次に変更して探索した、前記電子回路の基本的機能が所定の仕様を満たす状態となる最適値に変更されることを特徴とする、請求項 1 記載の電子回路。

【請求項 4】 前記外部装置は、前記最適値の探索に、前記電子回路の複数の評価結果を重みづけ積算する評価関数を用いることを特徴とする、請求項 1 から請求項 3 までの何れか記載の電子回路。

【請求項 5】 複数の回路素子を用いて所定の基本的機能を奏する電子回路において、

前記複数の回路素子の中の、前記所定の基本的機能を奏する基本的回路に関連する特定の複数の回路素子が、制御信号が示す値に応じて素子パラメータを変化させる回路素子で構成されており、

前記特定の複数の回路素子に与える複数の制御信号を保持する複数の保持回路を具えとともに、

前記電子回路の基本的機能が所定の仕様を満たすように、前記複数の保持回路が保持する複数の制御信号の値を確率的探索手法に従って変更する設定手段を具えることを特徴とする、電子回路。

【請求項 6】 前記設定手段は、遺伝的アルゴリズムに従って前記制御信号の値を順次に変更し、前記電子回路の基本的機能が所定の仕様を満たす状態となる制御信号の最適値を探索するものであることを特徴とする、請求項 5 記載の電子回路。

【請求項 7】 前記設定手段は、焼きなまし法に従って前記制御信号の値を順次に変更し、前記電子回路の基本的機能が所定の仕様を満たす状態となる制御信号の最適値を探索するものであることを特徴とする、請求項 5 記

載の電子回路。

【請求項 8】 前記設定手段は、前記最適値の探索に、前記電子回路の複数の評価結果を重みづけ積算する評価関数を用いることを特徴とする、請求項 5 から請求項 7 までの何れか記載の電子回路。

【請求項 9】 前記基本的回路はアナログフィルタ回路である、請求項 1 から請求項 8 までの何れか記載の電子回路。

【請求項 10】 前記基本的回路は G-m-C フィルタ回路である、請求項 9 記載の電子回路。

【請求項 11】 前記基本的回路は高周波回路である、請求項 1 から請求項 10 までの何れか記載の電子回路。

【請求項 12】 前記基本的回路是集積回路である、請求項 1 から請求項 11 までの何れか記載の電子回路。

【請求項 13】 複数の回路素子を用いて所定の基本的機能を奏する電子回路の調整方法において、

前記複数の回路素子の中の、前記所定の基本的機能を奏する基本的回路に関連する特定の複数の回路素子を、制御信号が示す値に応じて素子パラメータを変化させる回路素子で構成し、

前記特定の複数の回路素子に与える複数の制御信号を、前記電子回路に設けた複数の保持回路で保持するとともに、

前記電子回路の基本的機能が所定の仕様を満たすように、前記複数の保持回路が保持する複数の制御信号の値を外部装置により、確率的探索手法に従って変更することを特徴とする、電子回路の調整方法。

【請求項 14】 前記外部装置は、遺伝的アルゴリズムに従って、前記制御信号の値を順次に変更し、前記電子回路の基本的機能が所定の仕様を満たす状態となる制御信号の最適値を探索することを特徴とする、請求項 13 記載の電子回路の調整方法。

【請求項 15】 前記外部装置は、焼きなまし法に従って、前記制御信号の値を順次に変更し、前記電子回路の基本的機能が所定の仕様を満たす状態となる制御信号の最適値を探索することを特徴とする、請求項 13 記載の電子回路の調整方法。

【請求項 16】 前記外部装置は、前記最適値の探索に、前記電子回路の複数の評価結果を重みづけ積算する評価関数を用いることを特徴とする、請求項 13 から請求項 15 までの何れか記載の電子回路の調整方法。

【請求項 17】 複数の回路素子を用いて所定の基本的機能を奏する電子回路の調整方法において、

前記複数の回路素子の中の、前記所定の基本的機能を奏する基本的回路に関連する特定の複数の回路素子を、制御信号が示す値に応じて素子パラメータを可変とする回路素子で構成し、

前記特定の複数の回路素子に与える複数の制御信号を、前記電子回路に設けた複数の保持回路で保持するとともに、

前記電子回路の基本的機能が所定の仕様を満たすように、前記複数の保持回路が保持する複数の制御信号の値を、前記電子回路に設けた設定手段で変更することを特徴とする、電子回路の調整方法。

【請求項18】 前記設定手段は、遺伝的アルゴリズムに従って、前記制御信号の値を順次に変更し、前記電子回路の基本的機能が所定の仕様を満たす状態となる制御信号の最適値を探索することを特徴とする、請求項17記載の電子回路の調整方法。

【請求項19】 前記設定手段は、焼きなまし法に従って、前記制御信号の値を順次に変更し、前記電子回路の基本的機能が所定の仕様を満たす状態となる制御信号の最適値を探索することを特徴とする、請求項17記載の電子回路の調整方法。

【請求項20】 前記設定手段は、前記最適値の探索に、前記電子回路の複数の評価結果を重みづけ積算する評価関数を用いることを特徴とする、請求項17から請求項19までの何れか記載の電子回路の調整方法。

【請求項21】 前記基本的回路はアナログフィルタ回路である、請求項13から請求項20までの何れか記載の電子回路の調整方法。

【請求項22】 前記基本的回路はGm-Cフィルタ回路である、請求項21記載の電子回路の調整方法。

【請求項23】 前記基本的回路は高周波回路である、請求項13から請求項22までの何れか記載の電子回路の調整方法。

【請求項24】 前記基本的回路是集積回路である、請求項13から請求項23までの何れか記載の電子回路の調整方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の回路素子を用いて所定の基本的機能を奏する電子回路およびその調整方法に関するものであり、アナログフィルタ回路およびその調整方法、高周波回路およびその調整方法、そして集積回路およびその調整方法も含むものである。特に、回路内の信号の振幅、位相、周波数等のアナログ値が重要である電子回路に対しては、本発明は極めて有効である。

【0002】

【従来の技術および発明が解決しようとする課題】電子回路により実現される機能を所定の目標値まで高める方法として従来は、(1)回路設計上の努力、(2)電子回路に設置した調整箇所での調整、(3)半導体集積回路の製造上の誤差を小さくする努力あるいは製造した電子回路の選別等がなされてきた。

【0003】しかしながら(1)の回路設計上の努力による方法では、電子回路を構成する素子の特性の変化による電子回路の機能の変化が小さくなる(素子感度がなるべく小さくなる)ように好結果が得られるまで設計を

繰り返す必要がある、また、目標とする機能が低い場合には、回路素子の伝達特性等のパラメータの正確な把握が必要となって、それができない時には回路設計が技術的に困難となる場合があった。

【0004】さらに、電子回路に調整箇所を設ける場合は上記(2)の問題があるため、設計段階においてなるべく調整箇所が少なくなるように設計し、調整箇所が複数の場合には図2(a)に示す如く互いに独立した調整結果が得られるような回路設計上の努力がなされているが、かかる独立した調整結果が得られるような回路設計を行う場合には、調整が容易であるという長所がある反面、調整結果が独立するような特別な回路設計を要し、回路設計が煩雑なものとなるとともに、多数の高精度な素子の採用が必要となる。一例として、ある信号sが現れる信号源インピーダンスZの点にトリマコンデンサCを付加した場合を考えると、この場合には、信号sの位相遅延量を調整することが可能であるが、この調整と同時に信号sの振幅も変化してしまう。位相のみが変化し振幅の変化が生じないようにするためには、振幅変化を補償する回路を追加するか、別の複雑な位相遅延調整回路を用いる必要がある。

【0005】上記のように単一のパラメータだけを可変にする回路、あるいは単一のパラメータだけが可変となるような補正を施す回路を、ここでは「等化を行う回路」と呼ぶ。等化を行う回路の場合、そうでない回路の場合と比べて回路に必要な素子の数が多くなり、必要とされる素子の精度が高くなる場合が非常に多かった。

【0006】それゆえ、従来の方法では設計コストが高くなるとともに設計時間が長くなるという欠点があった。また、設計時に、電子回路に使用する素子として、特性が良好である高価な素子の採用を必要とする場合もあった。

【0007】また、(2)の調整箇所の調整において、図2(b)に示す如く調整箇所の回路特性に与える影響が調整箇所ごとに独立していない場合には、設計が簡便で素子数も少なく済み、高精度の素子も不要である反面、電子回路の動作を非常に細かい部分に分けて個々に測定しながら調整する必要がある、調整が非常に複雑になり、個々の測定ができない場合には調整は極めて困難であった。

【0008】上記のような複数の調整箇所の調整が独立でない場合、調整範囲の大きさが連携する調整箇所数と同じ次元数であるため、調整箇所の冪(べき)に比例して調整探索空間が広がり、組合せ爆発により、調整に非現実的な時間を要するか、調整不可能となる場合がある。一例として、8ビットの設定信号で調整される調整箇所が10カ所あり、すべてが連携している場合を考えると、調整の探索空間は $2^8 \times 10 = 2^4$ という莫大な数の組み合わせとなり、従来の方法では、現実的な時間での調整は不可能であった。

【0009】また、調整箇所用いられる半固定抵抗器やトリマコンデンサは、機械的な方法でパラメータを調整するため調整棒等で操作できるような大きな寸法とされ、調整にかかるコストも大きいという欠点があった。さらに、レーザートリミング等による調整では、調整箇所に物理的に修復不可能な変化を与えるため、一度調整に失敗すると永久にその電子回路を満足に調整することができなかった。

【0010】そして、(3)のうちの製造上の誤差を小さくする方法では、製造工程における半導体材料の加工精度に限界があり、しかも、精度の高い加工はコストが高いという問題があった。

【0011】また、(3)のうちの電子回路を選別する方法では、製造した電子回路の機能が所定の目標値を満たさない場合、その電子回路が不良品として扱われて通常は廃棄されるため、電子回路製造の歩留まりが下がり、著しく不経済であるという問題があった。

【0012】さらに、個々の回路についてみると、アナログフィルタ回路（以下、フィルタ回路と総称する）においては通常、入力信号の特定周波数帯の信号成分を除去したり、あるいは、特定の周波数帯の信号成分のみを取り出す処理（以下、フィルタ処理と総称する）を行うが、材質の不均一さ、製造誤差等に起因して、大量生産した場合にフィルタ特性が個々のフィルタ回路で大きく異なってしまう、希望信号と不要信号成分（フィルタ回路の通過帯域外の周波数成分）との分離が不完全な場合がある。またフィルタ回路自体が近年はLSI（大規模集積回路）化されるようになってきているが、かかるLSI化されたフィルタ回路では部品交換ができないため、フィルタ特性が許容範囲にないものは上述したように不良品扱いとなってしまう。

【0013】ミキサ（混合）回路においては、回路素子の特性のばらつきにより、希望信号以外の不要信号成分（ミキサ回路の映像周波数（イメージ周波数）成分、局部発振周波数成分、和周波数あるいは差周波数の高調波成分等）が少なからず出力される場合がある。

【0014】高周波回路においては、高周波成分（この明細書では概ね100kHz以上の周波数成分）を有する信号を取り扱うため、寄生インダクタンス、寄生容量の問題があり、さらに、回路素子の伝達特性の周波数依存性、特性インピーダンス不連続点における信号の散乱・反射を考慮する必要がある場合も多い。それゆえ、設計・製造に時間がかかり、開発コストおよび製造コストが高んでいた。

【0015】高周波集積回路は、従来は個別部品で構成されていた高周波回路を半導体集積回路技術によって集積化した回路である。この集積回路において所定の性能を実現するためには、インピーダンス整合等、その集積回路の中に含まれる個々の電子回路のパラメータを特定の値に正確に設定する必要がある。そのためには回路素

子の正確な値を知ることや、プロセスにおける厳密な管理が必要であり、低周波の集積回路に比べると設計・製造に時間がかかり、開発コストおよび製造コストが高んでいた。

【0016】従来の集積回路の設計においては、コンピュータを用いる回路動作シミュレーションを行い、設計した回路の検証を行っている。しかしながら、素子パラメータの非線形性、基板内での信号の干渉、さらに高周波を扱う場合の寄生容量や寄生インダクタによる遅延等を正確にシミュレーションすることは不可能であり、実際には、試作した集積回路の特性を評価して再度設計を行うことが必要とされた。それゆえ、設計・製造に時間がかかり、開発コストおよび製造コストが高んでいた。

【0017】ところで従来、電子回路の最適化に遺伝的アルゴリズムを適用する試みもなされており、従来のかかる試みでは、電子回路内のレイアウト等を回路設計時に遺伝的アルゴリズムを用いて定めることが行われていた。しかしながらこの従来の方法は、回路動作のシミュレーションが計算機上で誤差なく完全に行なえる場合にのみ適用可能であった。これがため、電子回路内の信号のアナログ値が重要である場合には、上記従来の手法は適用することができなかった。

【0018】それゆえ本発明は、上述の点に鑑みて、回路素子のパラメータが正確には把握できない場合あるいは、製造プロセス上回路素子のパラメータに誤差が生ずる場合でも、従来より少ない設計労力で、従来技術による場合より高い機能・高い性能が得られるような電子回路およびその調整方法を提供することを目的としており、さらに、回路素子等のばらつきに起因する電子回路の機能・性能の低下を改善する方法をも提供することを目的としている。

【0019】

【課題を解決するための手段およびその作用・効果】上記目的を達成するため、請求項1記載の本発明の電子回路は、図1にその概念を示すように、複数の回路素子を含み、所定の基本的機能を奏する電子回路1において、前記複数の回路素子の中の、前記所定の基本的機能を奏する基本的回路3に関連する特定の複数の回路素子2が、制御信号が示す値に応じて素子パラメータを変化させる回路素子で構成されており、前記電子回路1が、前記特定の複数の回路素子2に例えばデジタル／アナログ（D/A）変換回路4を介して与える複数の制御信号を保持する複数の保持回路5を含み、前記複数の保持回路5が、それらの保持回路が保持する前記複数の制御信号の値を外部装置8、9により、確率的探索手法に従って、前記電子回路1の基本的機能が所定の仕様を満たすように変更されるものであることを特徴としている。なお、図1中、6は基本的回路3の入力端子、7は基本的回路3の出力端子である。

【0020】そして請求項13記載の本発明の電子回路

7
の調整方法は、これも図 1 にその概念を示すように、複数の回路素子を用意して所定の基本的機能を奏する電子回路 1 の調整方法において、前記複数の回路素子の中の、前記所定の基本的機能を奏する基本的回路 3 に関連する特定の複数の回路素子 2 を、制御信号が示す値に応じて素子パラメータを変化させる回路素子で構成し、前記特定の複数の回路素子 2 に例えばデジタル／アナログ (D/A) 変換回路 4 を介して与える複数の制御信号を、前記電子回路 1 に設けた複数の保持回路 5 で保持するとともに、前記電子回路 1 の基本的機能が所定の仕様を満たすように、前記複数の保持回路 5 が保持する複数の制御信号の値を外部装置 8、9 により、確率的探索手法に従って変更することと特徴としている。

【0021】かかる電子回路およびその調整方法によれば、所定の基本的機能を奏する電子回路 1 の複数の回路素子の中の、上記所定の基本的機能を奏する基本的回路 3 に関連する特定の複数の回路素子 2 が、制御信号が示す値に応じて素子パラメータを変化させる回路素子で構成されていて、それら特定の複数の回路素子 2 に例えば D/A 変換回路 4 を介して与えられる複数の制御信号を、電子回路 1 が具える複数の保持回路 5 が保持しており、それら複数の保持回路 5 が保持する複数の制御信号の値を、外部装置 8、9 が確率的探索手法に従って、電子回路 1 の基本的機能が所定の仕様を満たすように変更するので、上記所定の基本的機能を奏する基本的回路 3 に関連する回路素子のパラメータが正確には把握できない場合あるいは、製造プロセス上その回路素子のパラメータに誤差が生ずる場合でも、従来技術による場合よりも少ない設計労力で、その基本的機能に関して従来技術による場合よりも高い機能・高い性能を得ることができ、しかも回路素子等のばらつきに起因する電子回路の機能・性能の低下を改善することもできる。

【0022】ここで、電子回路の性能は一般に、その電子回路が具える調整可能な複数の回路素子の各々の伝達特性をパラメータとする関数 F で表すことができる。電子回路の機能が所定の仕様を満たすようにすることは、関数 F の解を求めることと等価である。本発明者はこの点に注目し、電子回路の調整に、先に述べた遺伝的アルゴリズムを適用可能なことを発見した。

【0023】遺伝的アルゴリズムは、確率的探索手法の一つであり、(1) 広域探索において有効に作用し、(2) 評価関数 F 以外には微分値等の派生的な情報が必要でなく、(3) しかも容易な実装性を持つ、アルゴリズムである。従って、本発明においては、請求項 2 および請求項 14 の記載のように、上記外部装置 8、9 による複数の制御信号の値の変更に遺伝的アルゴリズムを用いても良い。

【0024】また、上記評価関数 F が特殊な条件をみたす場合には、遺伝的アルゴリズムの代わりに、これも確率的探索手法の一つである焼きなまし法を用いることに

より探索効率を向上させることも可能である。従って、本発明においては、請求項 3 および請求項 15 の記載のように、上記外部装置 8、9 による複数の制御信号の値の変更に焼きなまし法を用いても良い。

【0025】そして、本発明においては、請求項 4 および請求項 16 の記載のように、外部装置が最適値を探索する際に、前記電子回路 1 の複数の評価結果を重みづけ積算する評価関数を用いることとしても良い。

10 【0026】また、請求項 5 記載の本発明の電子回路は、請求項 1 に記載の電子回路において、外部装置 8、9 を用いる代わりに、前記電子回路自身が設定手段を具えるようにしたことを特徴とするものであり、請求項 17 記載の本発明の電子回路の調整方法は、請求項 13 に記載の電子回路の調整方法において、外部装置 8、9 を用いる代わりに、前記電子回路に設けた設定手段で複数の制御信号の値を変更するようにしたことを特徴とするものである。

20 【0027】かかる本発明の電子回路および本発明の電子回路の調整方法によれば、先の電子回路およびその調整方法と同様の作用効果が得られ、しかも、外部装置に代えて電子回路自身が持つ設定手段を用いるので、電子回路単独で随時にかつ任意の場所で調整を行い得るというさらなる作用効果が得られる。

【0028】そしてこれらの発明の電子回路およびその調整方法においても、請求項 6 および請求項 18 の記載のように、上記設定手段による複数の制御信号の値の変更に遺伝的アルゴリズムを用いても良い。

30 【0029】また、これらの発明の電子回路およびその調整方法においても、請求項 7 および請求項 19 の記載のように、上記設定手段による複数の制御信号の値の変更に焼きなまし法を用いても良い。

【0030】さらにこれらの発明においても、請求項 8 および請求項 20 の記載のように、設定手段が最適値を探索する際に、前記電子回路の複数の評価結果を重みづけ積算する評価関数を用いることとしても良い。

【0031】そして、上述した、この発明の電子回路および、この発明の電子回路の制御方法における基本的回路 3 は、請求項 9 および請求項 21 の記載のように、アナログフィルタ回路であっても良く、また請求項 10 および請求項 22 の記載のように、特に Gm-C フィルタ回路であっても良い。

【0032】さらに、上述した、この発明の電子回路および、この発明の電子回路の制御方法における基本的回路 3 は、請求項 11 および請求項 23 の記載のように、高周波回路であっても良く、また請求項 12 および請求項 24 の記載のように、集積回路回路であっても良く、その場合の集積回路は、特に高周波集積回路であって良い。

【0033】

50 【発明の実施の形態】以下に、この発明の実施の形態を

実施例によって、図面に基づき詳細に説明する。但し、図面では、電源供給に係る要素等、回路動作に必要な要素でも本発明に直接関係のない要素の記述は省略してある。ここに、図3は、本発明の電子回路の第1実施例としてのGm-Cフィルタ回路を例示する構成図である。

【0034】図3中、1Fは電子回路1としてのGm-Cフィルタ回路を示しており、後述する設定回路8およびアナライザ9は外部装置となる。ここにおけるGm-Cフィルタ回路1Fは、調整対象となる基本的回路としてのフィルタ回路本体3Fを具えており、そのフィルタ回路本体3Fは、図4に示すフィルタ回路3Aを3組直列に接続した構成とされ、各フィルタ回路3Aは、制御信号が示す値に応じて素子パラメータを変化させる回路素子としてのGmアンプ（利得あるいは伝達コンダクタンスを可変設定し得る増幅器）2A、具体的には2A1～2A13と、通常の固定容量型コンデンサCとで構成*

周波数特性	MIN.	TYP.	MAX.
455±10.5 (kHz) 減衰量	—	-3dB	—
455±30 (kHz) 減衰量	-48dB	—	—
455±50 (kHz) 減衰量	-72dB	—	—

【0037】DSP (Digital Signal Processor) 等で構成されるデジタルフィルタ回路では、その出力値はデジタル回路での計算誤りが無い限り入力データのデータに対して一意に決まるので、調整を行なう必要はない。しかしながら、本実施例のGm-Cフィルタ回路はアナログフィルタ回路であり、Gmアンプ2Aの性能が製造誤差によって設計仕様より大きくばらつくことから、上記の仕様を満たすためには調整が必要不可欠である。

【0038】図4に示すフィルタ回路3A中にはGmアンプ2Aは13個あり、入出力間を短絡したGmアンプは可変負荷抵抗として機能する。Gmアンプ2A1～2A6は、中心周波数に関する増幅器、Gmアンプ2A7～2A12は帯域幅に関する増幅器、Gmアンプ2A13は通過帯ゲインに関する増幅器である。よって、調整対象となるフィルタ回路本体3Fは、全体で13×3=39個のGmアンプ2Aから構成されており、この実施例では、これら39個のGmアンプ2Aの伝達コンダクタンスの値を製造後に微調整することにより、フィルタ回路本体3FについてはGm-Cフィルタ回路1Fの特性が要求仕様を満たすようにする。しかしながらこのフィルタ回路本体3Fは、図2(b)に例示したように、ある一つのGmアンプ2Aの調整が他のGmアンプ2Aの調整結果に影響を及ぼすような回路であるので、通常の方法では調整探索空間が組み合わせ爆発を起こしてしまう。それゆえ、本発明に基づく遺伝的アルゴリズムを用いた後述する調整手法が非常に有効である。

【0039】図3中、4はデジタル/アナログ(D/

*されている。なお、この実施例ではコンデンサCを可変容量型にしていないが、コンデンサCに、制御信号が示す値に応じて素子パラメータを変化させる可変容量型のもを使用すれば、製造時の性能の均一性をさらに高めることができる。

【0035】上記Gm-Cフィルタ回路に対する要求仕様の一例を表1に示す。このフィルタ回路は、中心周波数455kHz、バンド幅21kHzのバンドパスフィルタとして機能すべきものであり、その要求仕様中、特に、444.5±1kHzおよび465.5±1kHzにおいて減衰量が-3dBになることが重要である。かかる要求仕様は、中心周波数がわずか1%ずれただけでも満たすことが出来なくなり、非常に厳しいものである。

【0036】

【表1】

周波数特性	MIN.	TYP.	MAX.
455±10.5 (kHz) 減衰量	—	-3dB	—
455±30 (kHz) 減衰量	-48dB	—	—
455±50 (kHz) 減衰量	-72dB	—	—

A) 変換回路を示しており、これらのD/A変換回路4は各々、保持回路としてのレジスタ5に保持されているデジタル値に対応する大きさの電流を、対応するGmアンプ2Aに制御信号(バイアス電流)として供給する。D/A変換回路4およびレジスタ5は、Gmアンプ2Aとの一対一の対応のため、Gmアンプ2Aの個数と同数設けられる。レジスタ5は、保持しているデジタル値をD/A変換回路4に出力し得るとともに、保持しているデジタル値を設定回路8により変更され得るものである。レジスタ5としては、電源が切断された後でもそのデジタル値を保持し続けることが出来る不揮発性のもの、例えば、EEPROM、FeRAM、ヒューズROM等を使用することが特に望ましいが、内部電池等でバックアップされてそのデジタル値を保持し続けるものでも良い。

【0040】さらに、図3中、6はフィルタ処理の対象となる信号を入力する端子、7はフィルタ処理された信号を出力する端子をそれぞれ示す。

【0041】図5は、上記Gmアンプ2Aの構成を例示する構成図であり、この例のGmアンプ2Aは、同一の半導体基板上に形成され、ゲート端子に入力した正負信号+INおよび-INを増幅した信号をドレインに出力するMOSFETであるTr1およびTr2と、負荷抵抗用MOSFETであるTr3およびTr4と、制御信号電流に比例するバイアス電流をTr1およびTr2に供給するためのカレントミラー回路をなすTr5およびTr6とから構成されており、Tr3およびTr4のソース側が電源ラインVDDに接続され、Tr1およびTr

3のドレインが+OUTに接続され、同様にTr2およびTr4のドレインが-OUTに接続されており、+OUTおよび-OUTから出力が取り出される。そしてここでは、カレントミラー回路を構成するTr5およびTr6のソースが接地ラインVSSに接続され、Tr1のソースとTr2のソースとTr6のドレインとが接続され、Tr5のゲートとドレインとの接続点に、制御信号電流であるD/A変換器4の出力電流（バイアス電流）が入力される。

【0042】図6は、上記D/A変換回路4の構成を例示する構成図であり、この例のD/A変換回路4は、レジスタ5が4ビットのデータを保持するものである場合に対応している。このD/A変換回路4では、レジスタ5に保持されているレジスタ値の各ビットが、図示しないデコーダ回路を介して各スイッチ回路Sw1~Sw4にそれぞれ対応し、レジスタ値に応じて各スイッチ回路Sw1~Sw4が作動するように構成されており、その結果発生するバイアス電流が、上記Gmアンプ2Aに制御信号として入力される。

【0043】すなわち、図6に示すD/A変換回路4は、それぞれ発生電流の異なる電流を発生する定電流源である、調整信号発生源としてのバイアス電流源Bs1~Bs5と、それらバイアス電流源Bs1~Bs5を選択するためのスイッチ回路Sw1~Sw4とから構成されており、バイアス電流源Bs1は、設計によって値が定まるバイアス基準電流Irefを発生させる。そしてここでは、電源ラインVDDとバイアス電圧ラインV0との間に、バイアス電流源Bs2~Bs5と各バイアス電流源に対応するスイッチ回路Sw1~Sw4とが直列に接続された各直列回路が互いに並列に接続されており、これにより、バイアス電流源Bs2~Bs5の発生電流がバイアス基準電流Irefに加算され、バイアス電流源Bs1~Bs5の発生電流を基にバイアス電流IBIASが形成されて、そのバイアス電流IBIASがGmアンプ2Aに供給され得るように構成されている。

【0044】ここで、バイアス電流源Bs2はバイアス基準電流Irefに比例する1Irの微小電流を発生し、同様に、バイアス電流源Bs3は上記バイアス電流1Irの2倍の2Irの微小電流、バイアス電流源Bs4は上記バイアス電流1Irの4倍の4Irの微小電流、バイアス電流源Bs5は上記バイアス電流1Irの8倍の8Irの微小電流をそれぞれ発生するように構成されている。そして、これら各バイアス電流源Bs2~Bs5に対応するスイッチ回路Sw1~Sw4は、レジスタ5のレジスタ値に基づきオンオフ制御され、レジスタ値の4ビット中のあるビットが“1”であるとき、そのビットに対応するスイッチ回路がオン状態となって対応するバイアス電流源から所定の微小電流が発生する。また、レジスタ値の4ビット中のあるビットが“0”であるとき、そのビットに対応するスイッチがオフ状態となって

対応するバイアス電流源からの電流出力が停止される。

【0045】従って、ここでは各バイアス電流源Bs2~Bs5の発生電流がそれぞれ、1Ir、2Ir、4Ir、8Irに設定されてバイアス基準電流Irefに加算されるようにされていることから、オン状態とするスイッチ回路の組み合わせによって、バイアス基準電流Iref+0Irから、バイアス基準電流Iref+15Irまでの範囲で、バイアス電流IBIASを調整することができる。

【0046】図3中、8は設定回路であり、この設定回路8は、後述する遺伝的アルゴリズムに従って、複数のレジスタ5の保持値として最適な値を探索する。なお、設定回路8は、パーソナルコンピュータあるいはマイクロコンピュータにより構成することが可能であり、また、特開平9-294069号公報に公開されているプログラムブルLSI、あるいは、梶谷らによる論文「GAによるニューラルネットワークの構造学習回路の実現」（日本神経回路学会誌vol. 5, No. 4, p. 145~153, 1998年）に記載されている回路で構成することもできる。

【0047】そして図3中、9はアナライザ、10はテスト信号（検査信号）発生装置であり、テスト信号発生装置10は、フィルタ回路本体3Fひいてはフィルタ回路1Fを調整するためのテスト信号を発生させ、このテスト信号はフィルタ回路本体3Fとアナライザ9とに入力される。アナライザ9は、フィルタ回路本体3Fの出力信号とテスト信号発生装置10からのテスト信号とを入力され、それらの入力信号を分析してテスト信号に対応するフィルタ回路本体3Fの周波数応答値を計算し、その値を設定回路8に引き渡す。なお、アナライザ9とテスト信号発生回路10とは一体に構成することもできる。

【0048】次に、上記Gm-Cフィルタ回路1Fの調整のための、本発明の調整方法の第1実施例について説明する。

【0049】上記Gm-Cフィルタ回路1Fが製造された後、検査工程で、図3に示すように、設定回路8、アナライザ9およびテスト信号発生回路10がそのフィルタ回路1Fにそれぞれ接続され、テスト信号発生回路10は、フィルタ回路1Fの入力端子6に検査信号を入力し、設定回路8は、図7に示す処理手順に従って、レジスタ5のレジスタ値の設定を行う。

【0050】この処理手順では、まずステップS1で、設定回路8が、あらかじめ定められた初期設定値をレジスタ5に書き込んでレジスタ値として保持させ、次のステップS2で、検査信号発生回路10が検査信号を出力して、その検査信号に対し、上記初期設定値で初期設定したフィルタ回路1Fの特性で定まるフィルタ処理をフィルタ回路1Fに行わせ、次のステップS3で、そのフィルタ回路1Fのフィルタ処理出力をアナライザ9が解

析してその結果を設定回路8に送り、次のステップS4で、設定回路8が、送られてきた周波数応答値を使用して、フィルタ回路1Fの性能が、所定の仕様、例えば上記表1に示す仕様を満たすような許容範囲にあるか否かを判定する。ここで許容範囲に無い場合には、ステップS5で、設定回路8が、レジスタ5が保持しているレジスタ値を変更し、次のステップS6で、その変更の結果が安定するまで一定時間待機し、次のステップS7で、全ての組み合わせが終了したか否かを判断し、全ての組み合わせが終了していればステップS8で不良品処理を行った後に当該処理を終了するが、全ての組み合わせが終了していなければステップS2へ戻る、という一連の処理が繰り返し実行される。そして上記ステップS4で、フィルタ回路1Fの性能が所定の仕様を満たすものとなったとの判定が得られた場合には、当該処理を終了する。

【0051】上述した初期設定値の決め方、および初期設定値からレジスタ値を変更する方法については、いくつかの方法を使用することができ、以下にその例を示す。すなわち、第1の方法は、想定されるレジスタ値の範囲におけるすべての組み合わせについて、適当な順序で順次設定値を切り替えていく方法であり、第2の方法は、乱数的に設定値を発生させる方法である。そして第3の方法は、設計時に得られる伝達トランスコンダクタンス値で初期設定を行ない、その初期設定値から十方向と一方向に設定値を微小変化させる方法である。

【0052】調整対象のフィルタ回路本体3F内にGm素子2Aの数が少なく、レジスタ値の組み合わせ爆発を生じない場合は、第1、第2の方法を用いることができる。しかし、本実施例は、Gm素子2Aの数が39個と多いため、組み合わせ爆発の発生が想定される場合であるので、第3の方法を使用する。このとき、遺伝的アルゴリズムと呼ばれる方法を使用する。以下では、遺伝的アルゴリズムを用いた回路の調整方法について説明する。

【0053】上記遺伝的アルゴリズムの参考文献としては、例えば、出版社ADDISON-WESLEYPUBLISHING COMPANY, INC. が1989年に出版した、David E. Goldberg 著の「Genetic Algorithms in Search, Optimization, and Machine Learning」がある。なお、本発明でいう遺伝的アルゴリズムとは、進化的計算手法のことをいい、進化的プログラミング(EP)の手法も含むものである。進化的プログラミングの参考文献としては、例えば、出版社IEEE Press が1995年に出版した、D.B. Fogel著の「Evolutionary Computation: Toward a New Philosophy of Machine Intelligence」がある。

【0054】フィルタ回路本体3Fの性能は、複数のGm素子2Aの伝達特性をパラメータとする評価関数Fで表すことができる。フィルタ回路本体3Fの性能が所定の仕様を満たすようにすることは、評価関数Fを最適に

するパラメータ値を求めることと等価である。本発明者はこの点に着目し、フィルタ回路本体3Fの調整に上記の遺伝的アルゴリズムを適用可能なことを発見した。設定回路8は、この遺伝的アルゴリズムにしたがってレジスタ5のレジスタ値を変更する。

【0055】遺伝的アルゴリズムでは、まず遺伝子を持つ仮想的な生物の集団を設定し、あらかじめ定めた環境に適応している個体が、その適応度の高さに応じて生存し、子孫を残す確率が増えるようにする。そして、遺伝的操作と呼ばれる手順で親の遺伝子を子に継承させる。このような世代交代を実行し、遺伝子および生物集団を進化させることにより、高い適応度を持つ個体が生物集団の大勢を占めるようになる。そしてその際の遺伝的操作としては、実際の生物の生殖においても生じる、遺伝子の交叉、および突然変異等が用いられる。

【0056】図8は、かかる遺伝的アルゴリズムの概略手順を示すフローチャートであり、ここでは、初めにステップS11で、個体の染色体を決定する。すなわち、世代交代の際に親の個体から子孫の個体に、どのような内容のデータをどのような形式で伝えるかを定める。図9に染色体を例示する。ここでは、対象とする最適化問題の変数ベクトル x を、M個の記号 A_i ($i=1, 2, \dots, M$)の列で表わすことにし、これをM個の遺伝子座からなる染色体とみなす。各記号 A_i は遺伝子であり、これらのとりうる値が対立遺伝子である。図9中、Chは染色体、Gsは遺伝子座を示し、遺伝子座の個数Mは5である。対立遺伝子としては、ある整数の組、ある範囲の実数値、単なる記号の列などを問題に応じて定める。図9の例では、a~eのアルファベットが対立遺伝子である。このようにして記号化された遺伝子の集合が個体の染色体である。

【0057】上記ステップS11では次に、各個体が環境にどの程度適応しているかを表わす適応度の計算方法を決定する。その際、対象とする最適化問題の評価関数の値がより高い変数あるいはより低い変数ほど、それに対応する個体の適応度が高くなるように設計する。またその後に行う世代交代では、適応度の高い個体ほど、生き残る確率あるいは子孫を作る確率が他の適応度の低い個体よりも高くなるようにする。逆に、適応度の低い個体は、環境にうまく適応していない個体とみなして、消滅させる。これは、進化論における自然淘汰の原理を反映したものである。すなわち適応度は、生存の可能性という面から見て各個体がどの程度優れているかを表わす尺度となる。

【0058】遺伝的アルゴリズムでは、探索開始時には、対象とする問題は一般にまったくのブラックボックスであり、どのような個体が望ましいかはまったく不明である。このため通常、初期の生物集団は乱数を用いてランダムに発生させる。従ってここにおける手順でも、ステップS12で処理を開始した後のステップS1

3では、初期の生物集団は乱数を用いてランダムに発生させる。なお、探索空間に対して何らかの予備知識がある場合は、評価値が高いと思われる部分を中心にして生物集団を発生させるなどの処理を行うこともある。ここで、発生させる個体の総数を、集団の個体数という。

【0059】次にステップS14で、生物集団中の各個体の適応度を、先にステップS11で決めた計算方法に基づいて計算する。各個体について適応度が求まったら、次にステップS15で、次の世代の個体の基となる個体を集団から選択淘汰する。しかしながら選択淘汰を行うだけでは、現時点で最も高い適応度を持つ個体が生物集団中に占める割合が高くなるだけで、新しい探索点が生じないことになる。このため、次に述べる交叉と突然変異と呼ばれる操作を行う。

【0060】すなわち、次のステップS16では、選択淘汰によって生成された次世代の個体の中から、所定の発生頻度で二つの個体のペアをランダムに選択し、染色体を組み変えて子の染色体を作る(交叉)。ここで、交叉が発生する確率を、交叉率と呼ぶ。交叉によって生成された子孫の個体は、親にあたる個体のそれぞれから形質を継承した個体である。この交叉の処理によって、個体の染色体の多様性が高まり進化が生じる。

【0061】交叉処理後は、次のステップS17で、個体の遺伝子を一定の確率で変化させる(突然変異)。ここで、突然変異が発生する確率を突然変異率と呼ぶ。遺伝子の内容が低い確率で書き換えられるという現象は、実際の生物の遺伝子においても見られる現象である。ただし、突然変異率を大きくしすぎると、交叉による親の形質の遺伝の特徴が失われ、探索空間をランダムに探索することと同様になるので注意を必要とする。

【0062】以上の処理によって次世代の集団が決定され、ここでは次に、ステップS18で、生成された次世代の生物集団が探索を終了するための評価基準を満たしているか否かを調べる。この評価基準は、問題に依存するが、代表的なものとして次のようなものがある。

1 生物集団中の最大の適応度が、あるしきい値より大きくなった。

2 生物集団全体の平均の適応度が、あるしきい値より大きくなった。

3 生物集団の適応度の増加率が、あるしきい値以下の世代が一定の期間以上続いた。

4 世代交代の回数が、あらかじめ定めた回数に到達した。

【0063】上述の如き終了条件(評価基準)の何れかが満たされた場合は、ステップS19へ進んで探索を終了し、その時点での生物集団中で最も適応度の高い個体を、求める最適化問題の解とする。終了条件が満たされない場合は、ステップS14の各個体の適応度の計算の処理に戻って探索を続ける。このような世代交代の繰り返しによって、集団の個体数を一定に保ちつつ、個体の

適応度を高めることが出来る。以上が遺伝的アルゴリズムの概略である。

【0064】上で述べた遺伝的アルゴリズムの枠組みは、実際のプログラミングの詳細を規定しない緩やかなものとなっており、個々の問題に対する詳細なアルゴリズムを規定するものではない。このため、遺伝的アルゴリズムを本実施例のフィルタ回路の調整に用いるには、以下の項目を回路の調整用を実現する必要がある。

(a) 染色体の表現方法

(b) 個体の評価関数

(c) 選択淘汰方法

(d) 交叉方法

(e) 突然変異方法

(f) 探索終了条件

【0065】図10は、本実施例における遺伝的アルゴリズムを用いた設定回路8の処理手順を示すフローチャートである。なお、この図10の処理は、図7のステップS3～ステップS5の処理を具体的に示すものである。本実施例は、遺伝的アルゴリズムの染色体として、レジスタ5のレジスタ値を直接用いることを大きな特徴としており、これにより、染色体の情報をレジスタ値に変換するための回路や処理等を不要とすることが出来る。すなわち、本実施例における染色体は、図11に示すように、39個のGmアンプ2Aに対応する39個のレジスタ5のレジスタ値から構成されている。そして各Gmアンプ2Aに対応する各レジスタ5は、4ビットのものでされている。それゆえ、レジスタ長(=染色体長)は、156ビットである。従って、上記実施例のフィルタ回路本体3Fの調整探索空間の大きさは、 $2^{156} \approx 10^{47}$ (10の47乗)であり、全探索による調整はいうまでもなく不可能である。

【0066】図6に示すD/A変換回路4において本実施例では、11rの値を0.013Irefとした。なお、この値は、Gmアンプの性能のバラツキに応じて定める。例えば、図11中のレジスタ値1011では、スイッチ回路Sw4、Sw2およびSw1がONとなつて、バイアス電流源Bs1の他、バイアス電流源Bs5、Bs3およびBs2からもバイアス電流が供給され、この結果として、レジスタ値1011に対応するバイアス電流の値は、 $I_{ref} + 8 \times 0.013 I_{ref} + 2 \times 0.013 I_{ref} + 0.013 I_{ref} = 1.143 I_{ref}$ となる。同様に、レジスタ値0101に対応するバイアス電流の値は $I_{ref} + 4 \times 0.013 I_{ref} + 0.013 I_{ref} = 1.065 I_{ref}$ となり、レジスタ値0001に対応するバイアス電流の値は $I_{ref} + 0.013 I_{ref} = 1.013 I_{ref}$ となる。

【0067】図10の処理で使用する、遺伝的アルゴリズムの個体の評価関数Fとしては、個体の染色体が表現するレジスタ値でフィルタ回路本体3Fの動作を行わせ、その結果アナライザ9で得られた周波数応答値が理

想的な周波数応答値にどのくらい近いかを表す関数を用いる。具体的には、以下の評価関数Fで計算される値を遺伝的アルゴリズムの適応度(fitness)に用いる。

$$\text{【数1】 } F = \sum w_i |S(f_i) - O(f_i)| \\ \text{fitness} = 1 / (1 + F)$$

【0068】上記の評価関数Fは、周波数fiにおける理想的なゲインS(fi) [dB]とアナライザ9で計測されたフィルタ回路本体3FのゲインO(fi) [dB]との差分の絶対値の荷重和になっている。そして上記の適応度の値は、Fの値が小さければ小さいほど、大きな値になり、フィルタ回路本体3Fが理想的な応答を示す場合に、適応度の値は最大値の1.0になる。本実施例では、7種類の周波数の正弦波(440.0、444.5、449.75、455.0、460.25、465.5、470.0 (kHz))を検査信号発生回路10で発生させて評価関数Fの値を求めた。また、特に444.5 kHzおよび465.5 kHzの検査信号に対するゲインに荷重係数5.0で重み付けし、その他の周波数でのゲインの荷重係数は1.0とした。

【0069】理想的な周波数応答の値は、ルートナイキスト条件より求めた。上記7種類の正弦波(440.0、444.5、449.75、455.0、460.25、465.5、470.0 (kHz))に対する理想応答値S(fi)は、その記載順でそれぞれ、-19.0 dB、-3.0 dB、0 dB、0 dB、0 dB、-3.0 dB、-19.0 dBである。従って、例えば、ある染色体が表現するレジスタ値で動作させたフィルタ回路本体3Fの、上記7種類の正弦波に対する周波数応答値がそれぞれ、-23.0 dB、-5.0 dB、1.0 dB、-1.0 dB、-2.0 dB、-7.0 dB、-25.0 dBであったとすると、その場合の評価関数Fの値は、

$$\text{【数2】 } F = |-19.0 - (-23.0)| + 5.0 \times |-3.0 - (-5.0)| + |0.0 - 1.0| + |0.0 - (-1.0)| + |0.0 - (-2.0)| + 5.0 \times |-3.0 - (-7.0)| + |-19.0 - (-25.0)| = 44.0$$

となり、適応度の値は、1.0/45.0になる。

【0070】なお、回路の性能をより高めるためには、評価関数の計算に、周波数応答値のほかに、群遅延値も用いるとよい。

【0071】図10に示す処理で用いるために、先に図7のステップS1で遺伝的アルゴリズムの初期集団として、一様乱数を用いて個体を複数作成する。つまりこの場合には、初期集団の各染色体の各遺伝子の値は確率0.5で1の値を、確率0.5で0の値をとることを意味する。本実施例では、集団の個体数は40とした。但し、回路のばらつきの傾向について何らかの予備知識が存在する場合には、より適応度が高いと思われる個体を

初期集団として作成することができる。

【0072】次いで、各個体の表現するレジスタ値でフィルタ回路本体3Fを動作させるとともに図7のステップS2で検査信号を発生させ、その後、図7のステップS3に対応する図10のステップS21で、アナライザ9によりフィルタ回路本体3Fのフィルタ処理出力を解析してその結果の周波数応答値を設定回路8に送り、次いで、図7のステップS4に対応する図10のステップS22およびステップS23で、アナライザ9から送られてきた周波数応答値から、設定回路8により上記評価関数を用いて適応度を計算して、フィルタ回路本体3Fの性能が例えば表1に規定するような所定の仕様を満たす許容範囲にあるか否かを判定する。そして許容範囲に無い場合にはその後、設定回路8により、ステップS24の選択淘汰、ステップS25の交叉およびステップS26の突然変異の処理を行って、次世代の個体の集団(解の候補の集団)を作り出す。

【0073】しかし、ステップS23での判断でフィルタ回路本体3Fの性能が所定の仕様を満たしたときに、調整処理は終了するが、一定世代数繰り返して調整処理をおこなっても仕様を満たす染色体(レジスタ値)が得られない場合には、調整対象のフィルタ回路本体3Fひいてはフィルタ回路1は不良品と判断され、図7のステップS8で不良品としての処理を行う。なお、本実施例では、繰り返しを打ち切る世代数は50とした。

【0074】上記ステップS24の選択淘汰処理においては、図12のフローチャートに示す方法を用いる。この方法は、まずステップS31およびステップS32で、集団中からランダムにふたつの個体A、Bを選び、次いでステップS33～ステップS35で、そのふたつの個体A、Bのうち、より適応度の値が大きいほうの個体を次世代に生き残らせる個体とする。そして生き残った個体の数が集団の個体数に達するまで、ステップS36からステップS31へ戻ってその操作をくり返す。この方法では、適応度の大きい個体が次の世代の個体として選ばれる可能性が高いが、個体A、Bをランダムに選択しているため適応度が低い個体でも次世代の個体として選ばれる可能性が残されることになる。このようにするのは、適応度が高い個体だけ残すと、生物集団の収束性が高まり、局所的な最適解にとらわれて調整に失敗しやすくなるためである。

【0075】上記ステップS25の交叉処理では、図13の説明図に示す方法を用いる。これは染色体をランダムな位置で部分的に入れ替える操作であり、1点交叉と呼ばれる手法である。図13では、Ch1およびCh2が選択淘汰の結果生き残った親A、Bの染色体であり、ここにおける交叉処理では、これらの染色体を、ランダムに選んだ交叉位置CPで切断する。図13の例では、左から3ビット目と4ビット目の間を交叉位置としている。そして、切断した部分的な遺伝子型を入れ替えるこ

とによって、遺伝子 Ch3 および Ch4 をそれぞれ持つ子 A'、子 B' を生成し、これらをもとの個体 A、B と置き換える。本実施例では、全個体数のうちの交叉を行う個体数の割合である交叉率は 0.5 とした。

【0076】ステップ S25 での交叉にひき続いて実行する上記ステップ S26 の突然変異は、各染色体の遺伝子の各ビットを、突然変異率の生起確率で、0 を 1、あるいは 1 を 0 に変更する操作である。図 14 に突然変異の例を示す。この図では、染色体 Ch5 の、四角で囲んで示す左から 2 ビット目と右から 3 ビット目の遺伝子に突然変異が生じ、それぞれが染色体 Ch6 において対立遺伝子に変更されている。本実施例では、突然変異率は 0.013 を用いた。

【0077】以下に、図 3 に示すフィルタ回路 1F (具体的にはそのフィルタ回路 1F 内のフィルタ回路本体 3F) に本実施例の遺伝的アルゴリズムを用いた調整方法を適用した場合の実験結果について示す。この実験では、シリコンの LSI チップで回路を作製した。

【0078】上記実験の結果、無調整では、作製した 20 チップ中で要求仕様を満たすものは全く無かったが、それらのチップに対し本実施例の遺伝的アルゴリズムを用いた方法で調整を行ったところ、18 チップ (全体の 90%) が表 1 の要求仕様を満たすことができた。調整されたフィルタ回路 1 の周波数特性の一例を、図 15 に示す。ここで、破線 L1 は要求仕様、一点鎖線 L2 は調整前のチップの特性、実線 L3 は調整後のチップの特性を示す。調整の結果、要求仕様を満たすようになったことがわかる。また図 16 に、実験中の世代中の最良個体の評価関数値 F と世代の関係を示す。遺伝的アルゴリズムの世代が進むにつれて、理想的な周波数特性に近づき、評価値が改善されていることがわかる。この実験により、本実施例の調整方法の有効性が確認出来た。

【0079】上述したように、本実施例のフィルタ回路 1F では、フィルタ回路本体 3F の複数の回路素子に、出力状態を変更可能な素子である Gm アンプ 2A を使用し、それらの Gm アンプ 2A の出力状態をフィルタ回路本体 3F 全体の性能が好適となるように探索する。従って、フィルタ回路製造工程におけるプロセスの不均一や、部材の品質の不均一、設計上の誤差等に起因する回路素子の特性の誤差を吸収して、フィルタ回路本体 3F ひいてはフィルタ回路 1F を所定の仕様を満たすように調整することができ、このことは、従来技術による場合より少ない設計労力で、従来技術による場合より高機能・高性能が得られることを意味する。

【0080】次に、本発明の第 1 実施例の電子回路の一変形例について説明する。先の実施例では、設定値を保持するレジスタ 5 およびその設定値をアナログ信号に変換してフィルタ回路本体 3F に与える D/A 変換回路 4 がフィルタ回路 1F 内に実装される一方、設定回路 8 およびアナライザ 9 は外部装置としてフィルタ回路 1F に

脱着可能に接続される。しかしながら本発明では、設定回路 8 やアナライザ 9 に相当する回路を設定手段としてフィルタ回路 1F に組み込んでもよい。

【0081】このように構成された変形例を図 17 に示す。ここではフィルタ回路 1F 内にフィルタ回路本体 3F の他、設定回路 8 およびアナライザ 9 に相当する回路が組み込まれている。

【0082】すなわち、図 17 の回路例は、先の実施例のアナライザ 9 の代わりに比較回路 11 を使用し、基準の信号 (理想の周波数応答値) とフィルタ回路本体 3F の出力とをその比較回路 11 によって比較するものであり、この例では設定回路 8、比較回路 11、検査信号発生回路 10 および、基準信号を発生する基準信号発生回路 12 がフィルタ回路 1F 内に組み込まれている。そして、フィルタ回路 1F の入力端子 6 および出力端子 7 と、フィルタ回路本体 3F の入力および出力との間には、切換スイッチ 13 が設置されている。この切換スイッチ 13 は、図示例のようにフィルタ回路 1F 内に設けられていても良いが、フィルタ回路 1F 外に設けられていても良い。ここで、切換スイッチ 13 を操作すると、フィルタ回路本体 3F の出力が比較回路 11 に入力されるとともに、設定回路 8、比較回路 11、検査信号発生回路 10 および基準信号発生回路 12 が動作を開始し、設定値の調整を行う。設定が終了したら、切換スイッチ 13 の操作で、フィルタ回路本体 3F の出力を出力端子 7 側に切り替える。なお、この例では、最適解 (設定値) が得られない場合に警告表示をする発光素子 (LED) 14 が設けられている。

【0083】かかる変形例によれば、製造時のフィルタ回路 1F の調整だけでなく、ユーザがフィルタ回路 1F を組み込んだ製品を購入した後、ユーザ自身がフィルタ回路 1F の調整を随時行うこともできる。これにより、フィルタ回路 1F の部品の特性が劣化した場合や、フィルタ回路 1F が置かれた環境の温度その他が変化した場合等に、フィルタ回路の性能特性に変化が生じて、その変化を補償することができ、ひいては、回路素子等のばらつきによる電子回路の機能・性能の低下を改善することができるというメリットがある。なお、切換スイッチ 13 は手動に限らず、電源投入時に自動切換するように構成することもできる。

【0084】また、この変形例は、設定回路 8 として先の梶谷らによる論文記載の遺伝的アルゴリズム実行回路等を用いることにより、集積回路化にも適している。

【0085】次に、本発明の電子回路の第 2 実施例としてのバランス型ミキサ回路 (イメージリジェクションミキサ回路) の一構成例を示す。

【0086】バランス型ミキサ回路は、無線通信装置の主要機能である周波数変換を行うための回路であり、周波数変換される信号 (SI) と、周波数変換の基準となる局部発振信号 (LO) とを入力して、入力信号 (S

I)と局部発振信号(L O)との周波数の差あるいは和の周波数信号を出力信号(S O)として出力する。一般に受信の場合には、S IとL Oの周波数の差の周波数成分がS Oに出力され、S IとL Oの周波数の和の周波数成分はS Oに全く出力されないことが望まれる。また一般に送信の場合には、S IとL Oの周波数の和の周波数成分がS Oに出力され、S IとL Oの周波数の差の周波数成分はS Oに全く出力されないことが望まれる。このように、S IとL Oの周波数の和あるいは差の周波数成分のうちS Oに全く出力されないことが望まれる周波数成分は、イメージ周波数成分(イメージ信号)と呼ばれる。また、バランス型ミキサ回路は、数100kHzからマイクロ波帯、ミリ波帯までの広い周波数範囲の高周波で用いられている。但し、使用する周波数に応じて回路素子、回路定数を変える必要がある。

【0087】実際に製造されるバランス型ミキサ回路では、製造工程におけるプロセスの不均一、部材の品質の不均一、設計上の誤差等に起因する回路構成素子の特性の誤差のために、回路動作が完全ではなく、イメージ信号が完全に打ち消されることなくミキサ回路の出力に現れてしまう。

【0088】そこで、この第2実施例では、バランス型ミキサ回路を構成する素子のうちの複数の素子の特性を可変にし、イメージ信号の出力が小さくなるように遺伝的アルゴリズムを用いて調整を行う。図18は、この第2実施例のバランス型ミキサ回路の構成を示しており、このバランス型ミキサ回路(以下、「ミキサ回路」と称する)1Mは、第1実施例におけるフィルタ回路本体3Fの代わりに、ミキサ回路本体3Mを用いて構成されている。なお、図3に示すと同様の回路にはそれと同一の符号を付している。

【0089】具体的には、図18は、本発明の電子回路を適用したミキサ回路を受信装置に用いる場合の一構成例であり、この実施例においては、設定回路8およびアナライザ9は外部装置となる。ミキサ回路本体3Mにおいて2P1および2P2は、制御信号が示す値に応じて素子パラメータを変化させる回路素子としての、伝達特性を変化させ得る分配・移相回路、2P3は、これも制御信号が示す値に応じて素子パラメータを変化させる回路素子としての、伝達特性を変化させ得る移相・合成回路、そして2M1および2M2は、これも制御信号が示す値に応じて素子パラメータを変化させる回路素子としての、動作点(トランジスタがバイアスされる点)および伝達特性を変化させ得る混合回路である。ここで、移相回路とは、信号の位相を変化させる回路を意味する。

【0090】また図18中、4はD/A変換回路であり、このD/A変換回路4は、保持回路としてのレジスタ5に保持されているデジタル値に対応する大きさの電圧を、制御信号として、調整素子である2P1、2P2、2P3、2M1、2M2に供給する。ここで、D/

A変換回路4およびレジスタ5は、調整箇所の数だけ設けられる。

【0091】図19は、上記D/A変換回路4の一構成例を示す。VCは制御信号電圧の出力であり、またVA、VBは一定の電圧で、制御信号電圧VCの上限と下限に対応する。抵抗R2の抵抗値は抵抗R1の2倍である。Sw5~Sw10はレジスタ5の6ビットのビット列(染色体)の値により電気的に切り替えられ、Sw5がそのビット列のMSBに、Sw10がそのビット列のLSBに対応している。ここではレジスタ5の6ビットのデータに応じてSw5~Sw10が切換えられて、VCの電圧が変化する。

【0092】図18中、6a、6bはそれぞれ、ミキサ回路1Mに入力する信号(SI)、局部発振信号(LO)の入力端子である。また7は、ミキサ回路1Mによって混合された出力信号(SO)を出力する端子である。

【0093】そして8は設定回路であり、遺伝的アルゴリズムに従って、第1実施例に詳述したと同様の方法で、複数のレジスタ5の保持値として最適な値を探索する。

【0094】上記混合回路2M1および2M2は、専ら半導体素子の非線形性を利用した回路であり、かかる混合回路の一構成例を図20に示す。T1およびT2はこの混合回路の入力信号端子、T3は出力信号端子、T4はA/D変換器4からの制御信号電圧を入力する端子である。TrはFETで、その非線形性により、周波数変換を行う混合回路の動作を行う。Cはコンデンサ、Lはコイル、Rは抵抗である。T1およびT2にそれぞれ入力された信号の周波数の和および差の周波数の成分がT3に出力される。ここで、入力信号の周波数の和の成分の場合は出力信号の位相も和となり、入力信号の周波数の差の成分の場合は出力信号の位相も差となる。混合回路2M1および2M2は、同一の回路定数を用いて、同一基板状に形成されることが好ましい。

【0095】かかる混合回路2M1および2M2は、制御信号電圧が変化すると、動作点が変わり、混合回路の伝送特性が変化し、信号伝達効率、位相特性が変化する。

【0096】上記分配・移相回路2P1の一構成例を図21に示す。T5に入力される信号W1は、ウィルキンソン型ハイブリッド回路Hbで信号W2およびW3に分配される。コンデンサC1およびC2の静電容量が等しいときには、理想的には、信号W2とW3とで互いに、振幅および位相がそれぞれ等しい。ここで、コンデンサC1およびC2の静電容量を変化させれば、T6およびT7に出力される信号W2およびW3の相互の振幅および位相、すなわち伝達特性を変化させることができる。

【0097】上記図21に示す分配・移相回路2P1のコンデンサC1、C2の静電容量を変化させてその分配

・移相回路 2 P 1 の伝達特性を変化させ得る回路の一構成例を図 2 2 に示す。図 2 1 におけるコンデンサ C 1 および C 2 をそれぞれ、コンデンサ C と可変容量ダイオード D 1、D 2 の直列回路で置き換えてある。T 8、T 9 には、D/A 変換器 4 からの制御信号電圧が入力され、この制御信号電圧は、抵抗 R を通して可変容量ダイオード D 1、D 2 のカソードに、逆バイアス電圧として印加される。可変容量ダイオード D 1、D 2 は、接合容量が逆バイアス電圧により変化するという性質により、制御信号電圧による静電容量値の変化を実現できる。可変容量ダイオード D 1、D 2 としては、逆バイアス電圧による静電容量値の変化が得られるダイオードを用いることができ、また、バイポーラトランジスタや FET のバイアス電圧による容量変化を利用することもできる。

【0098】上記分配・移相回路 2 P 2 の一構成例を図 2 3 に示す。T 1 0 に入力される信号 W 4 は、ウィルキンソン型ハイブリッド回路 H b で信号 W 5 および W 6 に分配される。信号 W 5、W 6 は、それぞれ、L 1、L 2、C 3 から構成される移相回路 S f 1 と、C 4、C 5、L 3 から構成される移相回路 S f 2 とにより位相が変化する。T 1 1 および T 1 2 に出力する信号は、理想的には互いに等振幅で 90 度の位相差を与えられる。

【0099】上記移相・合成回路 2 P 3 は、図 2 3 に示す分配・移相回路 2 P 2 の入力と出力を入れ替えたものである。すなわち、移相・合成回路 2 P 3 では、T 1 1 および T 1 2 に入力される信号が、それぞれ、L 1、L 2、C 3 から構成される移相回路 S f 1 と、C 4、C 5、L 3 から構成される移相回路 S f 2 とにより位相が変化して、信号 W 5、W 6 となる。これらの信号 W 5、W 6 は、ウィルキンソン型ハイブリッド回路 H b で合成されて T 1 0 に出力される。T 1 1 および T 1 2 に入力される信号は、理想的には互いに 90 度の位相差を与えられて合成され、T 1 0 に出力される。

【0100】かかる分配・移相回路 2 P 2 および移相・合成回路 2 P 3 において、C 3、C 4、C 5 の静電容量を変化させれば、信号の位相を変化させることができる。上記図 2 3 に示す分配・移相回路 2 P 2 のコンデンサ C 3、C 4、C 5 の静電容量を変化させてその分配・移相回路 2 P 2 の伝達特性を変化させ得る回路の一構成例を図 2 4 に示す。可変容量ダイオード D 3、D 4、D 5 の静電容量は、D/A 変換器 4 から T 1 3、T 1 4 を通して入力される制御信号電圧により変化する。D 3、D 4、D 5 の静電容量変化は C 3、C 4、C 5 の静電容量変化と等価である。従って、制御信号電圧に応じて分配・移相回路 2 P 2 および移相・合成回路 2 P 3 の出力の位相を変化させることができる。但し、同時に出力信号の振幅も変化してしまう。

【0101】上記の回路構成によりミキサ回路 1 M 内のミキサ回路本体 3 M においては、理想的には、2 個の同等の混合回路 2 M 1 および 2 M 2 に、入力信号 S 1 は同

じ位相で、局部発振信号 L 0 は 90 度の位相差で入力され、混合回路 2 M 1 および 2 M 2 の出力が 90 度の位相差で合成されて、出力信号 S 0 が出力される。このとき、イメージ信号は、混合回路 2 M 1 および 2 M 2 の出力が逆位相の状態で作成されて打ち消し合うために、S 0 には全く現れない。

【0102】しかしながら、実際に製造されるミキサ回路 1 M では、製造工程におけるプロセスの不均一、部材の品質の不均一、設計上の誤差等に起因する回路構成素子の特性の誤差のためにミキサ回路本体 3 M の回路動作が不完全となり、イメージ信号が完全に打ち消されることなくミキサ回路本体 3 M の出力に現れてしまう。

【0103】そこでこの実施例のミキサ回路 1 M では、分配・移相回路 2 P 1 の可変容量ダイオード D 1、D 2、分配・移相回路 2 P 2 の可変容量ダイオード D 3 ~ D 5、移相・合成回路 2 P 3 の可変容量ダイオード D 3 ~ D 5 の静電容量値と、混合回路 2 M 1、2 M 2 の動作点を調整することにより、希望信号が大きく、かつイメージ信号が小さくなるようにする。

【0104】次に、上記ミキサ回路 1 M の調整のための、本発明の調整方法の第 2 実施例について説明する。この実施例の調整方法も、基本的には先の第 1 実施例の調整方法と同様である。

【0105】上記実施例のミキサ回路 1 M が製造された後、検査工程で、図 1 8 に示すように、設定回路 8、アナライザ 9 およびテスト信号発生装置 1 0 がそのミキサ回路 1 M にそれぞれ接続され、テスト信号発生装置 1 0 は、ミキサ回路 1 M の入力端子 6 a および 6 b にテスト信号を入力する。設定回路 8 は第 1 実施例の調整方法の場合と同様の処理手順に従って、分配・移相回路 2 P 1、2 P 2 および移相・合成回路 2 P 3 の伝達特性、混合回路 2 M 1、2 M 2 の伝達特性の設定を行う。遺伝的アルゴリズムの評価関数は、希望信号が大きく、イメージ信号が小さいときに良好の調整であると評価する。

【0106】染色体、レジスタ値、制御信号電圧値は、第 1 実施例の方法の場合と同様に一対一で対応している。すなわち、図 1 1 に示すと同様に、染色体は、上記実施例のミキサ回路本体 3 M の 8 カ所の調整箇所に対応する 8 個のレジスタ 5 のレジスタ値から構成されている。そして各調整箇所に対応する各レジスタ 5 は、ここでは 6 ビットのものとされている。それゆえ、レジスタ長 (=染色体長) は、48 ビットである。従って、上記実施例のミキサ回路本体 3 M の調整探索空間の大きさは、 $2^{48} \approx 10^{14}$ (10 の 14 乗) であり、全探索による調整はいうまでもなく不可能である。

【0107】図 1 9 に示す D/A 変換回路 4 において、本実施例では、V A、V B の値をそれぞれ、2 V (ボルト) と 4 V (ボルト) とした。この値は、調整箇所の回路の特性に応じて定める。例えば、レジスタ値 111001 に対応する制御信号電圧値は、 $2 + (4 - 2) \times$

$(1/2 + 1/4 + 1/8 + 1/64) = 3.781V$
(ボルト)となる。

【0108】また、遺伝的アルゴリズムの個体の評価関数 F としては、個体の染色体が表現するレジスタ値でミキサ回路 1 の動作を行ない、その結果アナライザ 9 で得られた特性が、理想的なミキサの特性にどのくらい近いかを表す関数を用いる。具体的には、以下の評価関数 F で計算される値を遺伝的アルゴリズムの適応度 (fitness) に用いる。

【数3】 $F = \sum w_i |S(f_i) - O(f_i)|$
 $fitness = 1 / (1 + F)$

【0109】上記の評価関数 F は、周波数 f_i におけるゲイン [dB] 形式で与えられる理想的なミキサ回路 1 M の出力 $S(f_i)$ と、アナライザ 9 で計測されたミキサ回路本体 3 M の出力 $O(f_i)$ との差分の絶対値の荷重和になっている。そして上記の適応度の値は、 F の値が小さければ小さいほど、大きな値になり、ミキサ回路本体 3 M が理想的な応答を示す場合に、適応度の値は最大値の 1.0 になる。本実施例では、所定の信号 S_I および L_O を検査信号発生回路 10 で発生させ、 F の値を求める。目的出力 S_O の周波数の出力における荷重係数を 1.0 とし、イメージ周波数の出力における荷重係数は 3.0 とする。そして理想的な特性としては、目的出力 S_O の周波数の出力を所定の仕様の値 (例えば 0 dB) とし、イメージ周波数の出力は -60 dB とした。例えば、ある染色体が表現するレジスタ値で動作させたミキサ回路本体 3 M の、目的出力 S_O の周波数の出力およびイメージ周波数の出力が、それぞれ、-3.4 dB、-46 dB であったとすると、その場合の評価関数 F の値は、 $F = 1.0 \times |0 - (-3.4)| + 3.0 \times |-60 - (-46)| = 45.4$ であり、適応度の値は、0.0216 となる。

【0110】図 7 のステップ S4 に対応する処理では、ミキサ回路本体 3 M の性能が所定の仕様 (例えば、イメージ周波数の出力が -40 dB 以下) を満たすかどうか判断され、性能を満たしたときに、調整処理は終了する。その一方、一定世代数繰り返して調整処理をおこなっても、仕様を満たす染色体 (レジスタ値) が得られない場合は、調整対象のミキサ回路本体 3 M についてはミキサ回路 1 M は不良品と判断され、その場合には不良品としての処理を行う。

【0111】本実施例によれば、ミキサ回路 1 M 内のミキサ回路本体 3 M の回路素子に、伝達特性が可変である回路素子、すなわち動作点を可変とした FET (電界効果トランジスタ) T_r および静電容量を可変とした可変容量ダイオード $D_1 \sim D_5$ を調整素子 2 として使用し、調整素子 2 の伝達特性を回路全体の機能が好適となるように探索するので、ミキサ回路製造工程におけるプロセスの不均一、部材の品質の不均一、設計上の誤差等に起因する回路構成素子の特性の誤差を吸収して、ミキサ回

路 1 M を所定の仕様を満たすように調整することができる。

【0112】なお、本実施例は、ミキサ回路 1 M が高周波集積回路で構成される場合に特に好適である。

【0113】本実施例に関しては、以下の変形例を実施できる。

【0114】(1) 調整を行う際にアナライザで測定・解析するミキサ回路 1 M の出力信号の測定項目を、目的信号 S_O とイメージ信号の 2 種類だけでなく、この他に、漏洩する L_O 信号、 S_I 信号、高調波歪み成分等の多種類としても良く、このようにすれば、さらに調整精度を向上させることができる。

(2) 上記の実施例では、分配・移相回路 2 P 2 の調整において C_3 、 C_4 、 C_5 を可変としたが、後述の如くして L_1 、 L_2 、 L_3 を可変としても良い。

(3) ミキサ回路 1 M の内部で、整合の調整が有効である箇所に、伝達特性を可変可能な結合回路を設け、上記第 2 実施例の方法により、併せてその結合回路を調整すれば、さらに高い特性を得ることができる。

【0115】次に、この発明の電子回路の第 3 実施例としての高周波増幅回路の一構成例を示す。図 25 は、この第 3 実施例の高周波増幅回路の構成を示し、図 25 中、1 H は高周波増幅回路であり、この高周波増幅回路 1 H は、第 1 実施例におけるフィルタ回路本体 3 F の代わりに、高周波増幅回路本体 3 H を用いて構成されている。なお、図 3 に示すと同様の回路にはそれと同一の符号を付している。この実施例においては、設定回路 8 およびアナライザ 9 は外部装置となる。この高周波増幅回路 1 H 内の高周波増幅回路本体 3 H において、2 A 14 ~ 2 A 16 はバイアス (動作点) の変更により伝達特性を変化させ得る増幅器、 $C_6 \sim C_{13}$ は静電容量を変化させ得る可変容量素子であり、各々、図中の点線で示される制御信号によってパラメータが調整される。本実施例では、その調整箇所は 11 カ所である。そこで本実施例においては、制御信号を発生させる D/A 変換器 4 およびレジスタ 5 が、11 組用いられる。また、P1 ~ P4 は伝送線路であり、6、7 はそれぞれ、入力信号端子、出力信号端子である。

【0116】増幅器 2 A 14 ~ 2 A 16 は、半導体素子を用いて構成されており、バイアス (動作点) の変更により増幅率、最大出力レベル、ひずみ率、効率、雑音指数、入出力インピーダンス、S パラメータ (散乱因子) 等の伝達特性が変化する。かかる増幅器の具体的な構成方法は周知なので、その詳細な説明は省略し、以下では本実施例に係わる回路の動作説明を行う。

【0117】すなわちここでは、可変容量素子 C_6 、 C_7 の調整により、増幅器 2 A 14 の入力インピーダンスと、入力端子 6 の規格のインピーダンスとを整合状態にできる。また可変容量素子 C_8 、 C_9 の調整により、増幅器 2 A 14 の出力インピーダンスと増幅器 2 A 15 の

出力インピーダンスとを整合状態にできる。このほかの可変容量素子、増幅器についても同様である。しかしながら、増幅器の動作点を変えると、上記の整合に関する調整の最適値も変わってしまう。このため、高周波増幅回路本体 3H を特性が所定の仕様を満たすような好適な状態に調整するには、可変容量素子 C 6 から C 13 までおよび増幅器 2A 14 から 2A 16 までの調整箇所を総合的に調整する必要がある。

【0118】上記高周波増幅回路 1H の調整のための、本発明の調整方法の第 3 実施例について説明する。この実施例の調整方法も、基本的には先の第 1 実施例の調整方法と同様である。

【0119】高周波増幅回路 1H が製造された後、検査工程で、図 25 に示すように、設定回路 8、アナライザ 9 およびテスト信号発生装置 10 がその高周波増幅回路 1H にそれぞれ接続され、テスト信号発生装置 10 は、高周波増幅回路 1H の入力端子 6 にテスト信号を入力する。アナライザ 9 は、例えば、雑音指数、ひずみ率、増幅率、最大信号レベルおよび効率を評価関数のための値として設定回路 8 に与え、設定回路 8 は、例えば、その雑音指数、ひずみ率、増幅率、最大信号レベルおよび効率の順に特性が重要であるとして重み付けをした評価関数を用いて評価を行う。設定回路 8 は、図 7 に示すと同様の処理手順に従って、高周波増幅回路本体 3H の可変容量素子 C 6 ~ C 13 および増幅器 2A 14 ~ 2A 16 の調整値の設定を行う。

【0120】本実施例の方法によれば、高周波増幅回路 1H 内の高周波増幅回路本体 3H の複数の回路素子に、伝達特性、容量が可変である回路素子（調整素子）C 6 ~ C 13 および 2A 14 ~ 2A 16 を使用し、それらの調整素子の特性を、回路全体の機能が好適となるように探索するので、高周波増幅回路製造工程におけるプロセスの不均一、部材の品質の不均一、設計上の誤差等に起因する回路構成素子の特性の誤差を吸収して、高周波増幅回路 1H が所定の仕様を満たす機能を有するように調整することができる。また、本実施例は、高周波増幅回路 1H が高周波集積回路で構成される場合に特に好適である。

【0121】本実施例においては増幅器を 3 段としたが、本発明においては、いうまでもなく増幅器の段数を問わない。伝送線路の電気的長さは、増幅する信号の $1/8$ 波長から $1/4$ 波長の間であると効果的である。また、伝送線路の中間点にさらに可変容量素子を設け、隣接する可変容量素子を結ぶ伝送線路の電気的長さを $1/8$ 波長とすると、調整範囲が広がるので、調整可能な増幅器のインピーダンスを広範なものとすることができる。

【0122】本実施例は、高周波増幅回路 1H の広帯域な特性を得るための調整にも有効である。この場合に、多数の入力信号周波数を用いるとさらに調整精度を向上

させることができる。

【0123】以上の第 1 ~ 第 3 実施例に示すように、本発明は多様な電子回路に適用可能である。すなわち、調整対象の電子回路に複数の調整箇所を設け、該調整箇所を本発明による方法で調整することが可能である。次の第 4 実施例では、電子回路一般に本発明を適用した場合について述べる。

【0124】図 26 は、本実施例を適用した電子回路の一構成例である。図 26 中、1 は所定の基本的機能を奏する電子回路、3 はその電子回路内の、前記所定の基本的機能を奏する基本的回路である。この実施例では、設定回路 8 およびアナライザ 9 は外部装置となる。調整対象の基本的回路 3 において、2 は素子の伝達特性を電気的に変化させ得る調整素子であり、該基本的回路 3 は複数の調整素子 2 を有している。

【0125】本実施例においても、先の第 1 ~ 第 3 実施例の方法と同様にして、調整素子 2 の伝達特性が調整される。

【0126】すなわち、図 26 中、4 は D/A 変換回路であり、この D/A 変換回路 4 は、保持回路としてのレジスタ 5 に保持されているデジタル値に対応する大きさの電圧もしくは電流を、制御信号として調整素子 2 に供給する。ここにおける D/A 変換回路 4 およびレジスタ 5 は、調整素子 2 の調整箇所の総数と一致した個数だけ設けられる。レジスタ 5 は、保持したデジタル値を D/A 変換回路に出力するとともに、外部装置、この実施例では設定回路 8 により、保持している値を変更され得る。レジスタ 5 には、電源が切断された後でもそのデジタル値を保持することが出来る不揮発性のもの、例えば、EEPROM、FeRAM、ヒューズROM等を使用することが望ましい。

【0127】図 26 中、6、7 はそれぞれ、電子回路 1 に入力する信号（入力信号）、および電子回路 1 から出力する信号（出力信号）のための端子である。

【0128】図 26 中、10 はテスト信号（検査信号）発生装置であり、電子回路 1 内の基本的回路 3 を調整するためのテスト信号を発生させる。このテスト信号は電子回路 1 とアナライザ 9 とに入力される。アナライザ 9 は、電子回路 1 の出力信号とテスト信号発生装置 10 からのテスト信号を入力されて、それらの入力信号を分析し、テスト信号に対応する理想的な場合の出力信号と実際の出力信号との差分値を計算する。その差分値は、設定回路 8 に引き渡される。アナライザ 9 とテスト信号発生回路 10 とは、一体の構成とすることもできる。

【0129】基本的回路 3 は、2 端子の回路素子（抵抗、コンデンサ、ダイオード（半導体 pn 接合ダイオード、ショットキーバリアダイオード、可変容量ダイオード、定電圧ダイオード、発光ダイオード、エサキダイオード、PIN ダイオード、フォトダイオード等）やコイル、サーミスタ、バリスタ、圧電素子、スピーカ、電

球、モータ・発電機、水晶共振子、ジョセフソン接合素子、発光素子、受光素子等)、3端子の回路素子(バイポーラ型トランジスタ(npn型トランジスタ、pnp型トランジスタ、IGBT、サイリスタ素子、トライアック素子等)やユニポーラ型のトランジスタ(電界効果トランジスタ(FET))等、真空管その他)、4端子以上の回路素子(変成器、変圧器、複数の電極を有するトランジスタ、オペアンプ回路、論理ゲート回路素子、真空管、磁気増幅器、半導体集積回路等)および、上記回路素子の複合によって構成される回路素子を主要構成要素とするものである。

【0130】本実施例では入出力端子6, 7が一個ずつであるが、本発明では、電子回路1の入力信号端子6および出力信号端子7の数は、複数の場合を含む任意の場合で可能であり、例えば、発振器や、定電圧電源回路のように入力信号端子6を有しない場合でも可能である。また、双方向に信号を取り扱う回路の場合でも可能である。なお、この場合には、信号の方向に応じて入力端子6と出力端子7が変わるので、テスト信号発生器10とアナライザ9の接続を切り替えて本発明の調整を実施する。

【0131】電子回路1が、図2(b)に例示するような複数の調整素子2を有し、ある調整素子2の調整が他の調整素子2の調整結果に影響を及ぼす回路であって、調整探索空間の組み合わせ爆発を起こす場合に、本発明は特に有効である。

【0132】本実施例の電子回路1は、電気信号により調整される調整素子2、D/A変換器4、レジスタ5を有することを大きな特徴としている。

【0133】以下に本実施例の電子回路1の動作説明を行う。

【0134】調整素子2は、利得可変増幅器、可変コンダクタンス素子、可変容量ダイオード等であり、素子の伝達特性を変化させ得る電子素子であり、D/A変換器4の出力電圧あるいは出力電流の値に対応して素子のパラメータが変化するものである。そしてこの実施例は、かかる調整素子2の数が複数であることを特徴としている。複数の調整素子2は、同一種類の電子素子であるか否かを問わない。また調整素子2が基本的回路3に接続する端子の数は、2以外であってもよい。

【0135】調整素子2は、D/A変換器4の出力電圧あるいは出力電流の値に対応して動作点を変化させる能動素子を含む回路であってもよく、調整素子2がGmアンプ(利得可変増幅器)である場合、前述した図5の構成の他、図27に示す構成を用いることができる。ここに、Tr1~Tr5は、図5における同様に、MOSFETとされている。

【0136】Gmアンプの他の一構成例を図28に示す。図28中、AM1は増幅回路であり、また2F1は帰還回路で、可変抵抗素子または/および可変容量素子

により帰還回路の伝達特性を可変としたものである。帰還信号は、増幅回路AM1の入力側で合成される。帰還回路2F1の構成要素の可変抵抗素子や可変容量素子の抵抗値や静電容量値を変化させることにより、入出力(IN, OUT)間の伝達特性(利得、遅延特性)を変更することができる。この他、電子情報通信学会編「モノリシックマイクロ波集積回路」のp. 169からp. 175に記載の回路で構成することもできる。

【0137】調整素子2が利得コンダクタンス素子(電界効果トランジスタ等)である場合には、変化する伝達特性は抵抗値である。図29(a)は、電界効果トランジスタTr7を用いた調整素子の構成例を示す。ゲート電極T15に入力する制御信号の電圧により、T16, T17間の抵抗値が変化する。図29(b)は、バイポーラトランジスタTr8を用いた構成例を示す。ベース電極T18に入力する制御信号の電流により、T19, T20間の抵抗値が変化する。

【0138】調整素子2が可変容量ダイオード等(可変容量ダイオードの他、トランジスタのバイアス電圧による容量変化も利用できる)である場合(可変容量回路)、変化する伝達特性は静電容量値である。図30(a)~(f)は、静電容量値を変化させる調整素子の構成例を示す。Dは可変容量ダイオード、Tr7は電界効果トランジスタ、Tr8はバイポーラトランジスタである。(a), (c)および(e)は静電容量の片側が接地された場合である。T21に入力される制御信号電圧に応じてT22の静電容量が変化する。(b), (d)および(f)は接地されない場合で、T22, T23間の静電容量がT21あるいはT24に入力される制御信号電圧に応じて変化する。T25には、通常はバイアスが印加されるが、制御信号電流を入力することも可能である。

【0139】調整素子2でインダクタンスを変化させる場合には、トランジスタ等で構成されるインピーダンスコンバータ回路と前述の可変容量回路とを組み合わせることでその素子を構成可能である。このとき、インピーダンスコンバータ回路によりリアクタンスの符号が反転する。また、可飽和リアクトルを用いて、制御信号電流をバイアス電流とすれば、インダクタンスを変化させることができる。

【0140】調整素子2で遅延時間(信号伝達タイミング)を変化させる場合の一構成例を図31に示す。pチャネルFETであるTr9, Tr10および、nチャネルFETであるTr11, Tr12が直列接続した回路であり、Tr10, Tr11はインバータ回路として機能する。このときTr9およびTr12の抵抗値により回路の電流値が変化するので、浮遊容量(寄生容量)と負荷容量を充放電する時間が変化する。図32に、上記インバータ回路への入力信号(入力クロック信号)およびそのインバータ回路からの出力信号(出力クロック信

号)の波形を示す。それぞれ、T27に入力する制御信号電圧によりTAの遅延時間、T26に入力する制御信号電圧によりTBの遅延時間が調整できる。クロック信号の立ち上がりあるいは立ち下がりのどちらか一方の遅延調整で済む場合には、Tr9およびTr12の一方を省略可能である。

【0141】図26中、8は設定回路であり、この設定回路8は、遺伝的アルゴリズムに従って、第1実施例の説明において詳述したと同様の方法で複数のレジスタ5の保持値として最適な値を探索する。

【0142】以下に、図26に示す本実施例の電子回路1に適用される、本発明の第4実施例の調整方法を述べる。電子回路1の性能は、複数の調整素子2の伝達特性をパラメータとする評価関数Fで表すことができる。電子回路1の性能が所定の仕様を満たすようにすることは、評価関数Fを最適にするパラメータ値を求めることと等価である。設定回路8は、この評価関数Fを用い、上記したように遺伝的アルゴリズムに従ってレジスタ5の値を変更する。

【0143】電子回路1内の基本的回路3の調整は、第1実施例の場合と同様、図7および図10に示すフローチャートに従って行われる。本実施例は、遺伝的アルゴリズムの染色体として、レジスタ5の値を直接用いることを大きな特徴とする。これにより、染色体の情報をレジスタ値に変換するための回路等が不要になる。ここにおけるD/A変換回路4は、調整素子2の種類に応じて、調整信号電圧あるいは調整信号電流を出力する。

【0144】また、本実施例は、遺伝的アルゴリズムの個体の評価関数Fとして、個体の染色体が表現するレジスタ値で電子回路1の動作を行なわせた結果アナライザ9で得られた特性が、理想的な特性にどのくらい近いかを表す関数を用いる。

【0145】図7のステップS1では、遺伝的アルゴリズムの初期集団として、一様乱数を用いて個体を複数作成する。つまり、初期集団の各染色体の各遺伝子の値は、確率0.5で1の値を、確率0.5で0の値をとることを意味する。

【0146】しかる後、各個体の表現するレジスタ値で電子回路1を動作させ、ステップS3におけるアナライザ9での解析結果を使用して、ステップS4において設定回路8で、上記評価関数により適応度を計算する。その後、順次に、ステップS24で選択淘汰、ステップS25で交叉、ステップS26で突然変異の処理を行ない、次世代の個体の集団(解の候補の集団)を作り出す。

【0147】ステップS4では、電子回路1の性能が所定の仕様を満たすかどうか判断され、所定の仕様を満たしたときに、調整処理は終了する。また、一定世代数繰り返して調整処理をおこなっても、仕様を満たす染色体(レジスタ値)が得られない場合は、調整対象の基本

的回路3ひいては電子回路1は不良品と判断され、ステップS8で不良品としての処理を行う。

【0148】以上説明したように、本実施例では、電子回路1内の基本的回路3の回路素子に、伝達特性が可変である回路素子、すなわち調整素子2を複数使用し、それらの調整素子2の伝達特性を、回路全体の機能が好適となるように探索する。従って、電子回路製造工程におけるプロセスの不均一、部材の品質の不均一、設計上の誤差等に起因する回路構成素子の特性の誤差を吸収して、電子回路1が所定の仕様を満たす機能を有するように調整することででき、このことは、従来技術による場合より少ない設計労力で、従来技術による場合より高機能・高性能が得られることを意味する。

【0149】なお、本実施例の変形例として、先の第1実施例におけると同様に、設定回路8やアナライザ9に相当する回路を電子回路1内に組み込んでもよい。

【0150】上述の第1～第4実施例では、レジスタ5の初期設定値の取り方、および初期設定値からレジスタ値を変更する方法については遺伝的アルゴリズムを用いた。しかしながら、遺伝的アルゴリズムにおける適応度、つまり、レジスタ設定値が理想的な解にどのくらい近いかを表す評価関数Fにおいて、局所的な最適解の個数が少ない場合(おおむね一桁の個数)には、焼きなまし法とよばれるアルゴリズムを遺伝的アルゴリズムの代わりに用いることができる。

【0151】焼きなまし法の詳細は、例えば、JOHN WILEY & SONS が1989年に出版した、E.Aarts and J. Korst 著の「Simulated Annealing and Boltzmann Machine」を参照されたい。焼きなまし法は、山登り法の一つであり、温度と呼ばれる制御パラメータによって、局所的な最適解に探索が捕らわれないような工夫を加えたものである。

【0152】次に述べる本発明の第5実施例の電子回路およびその調整方法では、図33に示すように、先の第4実施例と同様の回路構成において、設定回路8で、この焼きなまし法にしたがってレジスタ5の値を変更する。本実施例では特に、焼きなまし法における解の候補として、レジスタ5の値を直接用いることを大きな特徴とする。このようにすれば、第1実施例と同様に、解候補の情報をレジスタ値に変換するための回路等を不要とすることができる。ここではまた、解候補が理想的な解にどのくらい近いかを表す評価関数Fを用意する。

【0153】すなわち本実施例の方法では、電子回路1を動作させ、図33に示すように、ステップS41におけるアナライザ9での解析結果を使用して、ステップS42において設定回路8で、上記評価関数Fにより解候補の評価関数値を計算する。その後、ステップS44において、この評価関数値が、前ループにおける評価関数値と比較して値が改善されたか否かを判断する。

【0154】そして、改善された場合は、その時点での

レジスタ値を次のレジスタ候補値とし、ステップS47へ進んで、そのレジスタ候補値に対し、乱数等によりその候補値の一部を変化させる操作を施す。この操作は遷移と呼ばれ、遺伝的アルゴリズムにおける突然変異の操作に相当する。

【0155】ステップS44において、値が改善されなかった場合は、ステップS45で、受容関数と呼ばれる、値域が0以上1以下である後述の関数の値を計算する。この関数値と0～1の間で発生させた一様乱数の値とを比較して、乱数値の方が小さかった場合は、受容するものとして前述のステップS47へ進む。この場合には、評価関数の改悪方向に、探索が一時的に行われることになる。受容関数値より乱数値の方が大きかった場合は、ステップS46でレジスタ候補値を前ループにおけるレジスタ値に戻した後、ステップS47へ進む。

【0156】受容関数は、以下の式で記述される。

【数4】

$$\exp(-(F(k) - F(k-1))/T(k))$$

ここに、 $F(k-1)$ は前ループにおける評価関数値、 $F(k)$ は現ループにおける評価関数値である。また、 $T(k)$ は温度と呼ばれるパラメータであり、温度が高いほど受容関数値が1に近づく。つまり、温度が高いほど、探索が評価関数の改悪方向に進むことになる。これは、探索が局所的な最適解に捕われることを避ける目的で行われる。よって、探索の初期の段階では温度を高く設定し、探索が進むにつれて温度を徐々に低くしていくことにより、最終的に真の最適解にたどりつくことが期待される。かかる操作が、焼きなまし、またはアニーリングと呼ばれている。

【0157】焼きなまし法は、電子回路1の性能と調整要素2との関係が比較的単純で、電子回路1の評価関数Fが多数の局所最適解をもたない場合には、遺伝的アルゴリズムと比較して効率的な探索を行うことができる。しかしながら、評価関数Fが多数の局所最適解をもつ場合には、温度を非常にゆっくりと下げる必要があり、現実的な時間では所定の仕様を満たす解を発見することができない。その場合には、設定回路8で、遺伝的アルゴリズムを用いる必要がある。

【0158】その後はステップS48で、レジスタ候補値をレジスタ値とするようにレジスタ値を変更し、評価関数値が高く満足な解が得られる（電子回路1の特性が所定の仕様を満たす）まで上述の操作を繰り返すことにより、電子回路1の調整を行う。

【0159】設定値の取り得る値の組み合わせをすべて探索した場合、あるいは一定回数、または一定時間繰り返して処理をおこなっても最適解が得られない場合は、調整対象の電子回路1は不良品と判断され、不良品としての処理を行う。

【0160】上記の焼きなまし法により、電子回路1の評価関数Fが少数の局所最適解しか持たない場合に、回

路素子等のばらつきによる電子回路の機能・性能の低下を改善することができる。

【0161】図34は、本発明の電子回路の第6実施例としてのアレイ型アナログデジタル(A/D)変換回路の一構成例を示す。図34中、1Cは電子回路としてのアレイ型A/D変換回路を示しており、このA/D変換回路1Cは、調整対象となる基本的回路として、アレイ型A/D変換回路本体3Cおよびサンプリングパルス発生回路3Sを具えている。なお、図34中、図3に示すと同様の部分はそれと同一の符号を付している。

【0162】アレイ型A/D変換回路本体3Cは、複数のA/D変換器を並列に動作させることでA/D変換を高速に行うことができるものであり、その一構成例を図35に示す。ここで、AM2はバッファ回路、SH1～SHnはn個の同等に構成されたサンプルホールド回路、ADC1～ADCnはn個の同等に構成されたA/D変換器、MP1はマルチプレクサ回路、 $\phi 1 \sim \phi n$ はHレベルおよびLレベルの2値を持つサンプリングパルスを示す。

【0163】このアレイ型A/D変換回路本体3Cにおいて入力端子6に入力されたアナログ信号は、バッファ回路AM2を経て、n個のサンプルホールド回路SH1～SHnに並列に入力される。サンプルホールド回路SH1はサンプリングパルス $\phi 1$ の立ち下がり（HレベルからLレベルへの遷移）の瞬間における入力された信号の値を保持して出力する。サンプルホールド回路SH2はサンプリングパルス $\phi 2$ の立ち下がりの瞬間における入力信号の値を保持して出力する。サンプルホールド回路SH3～SHnも各々のサンプリングパルス $\phi 3 \sim \phi n$ に基づいて同様の動作をする。A/D変換器ADC1～ADCnは、それぞれ入力されたアナログ信号をデジタル信号に変換して出力する。マルチプレクサMP1は、n個の並列の入力信号を1つに合成して出力する。

【0164】かかる構成を用いると、一個のA/D変換器ADCで得られる変換速度のn倍の変換速度が得られる。しかしながら、最高の変換精度を得るためには、サンプルホールド回路SH1～SHnの特性がすべて等しく、かつ、サンプリングパルス $\phi 1 \sim \phi n$ の位相差、すなわち、 $\phi 1$ と $\phi 2$ の位相差、 $\phi 2$ と $\phi 3$ の位相差、以下同様に、 $\phi n-1$ と ϕn の位相差、 ϕn と $\phi 1$ の位相差のすべてが等しいことが理想である。

【0165】上記のアレイ型A/D変換回路1Cに用いられるサンプリングパルス発生回路3Sの一構成例を図36に示す。なお、ここでは便宜上n=4の場合について説明する。図36中、2A17は遅延特性が可変である差動増幅器、 $\phi 1 \sim \phi 4$ は出力されるサンプリングパルス、PLはPLL制御回路、T28は同期信号の入力端子、W7は周波数制御信号で、すべての差動増幅器2A17に制御信号として入力される。

【0166】PLL制御回路PLは、分周回路PL1、

位相比較回路PL2、ループフィルタ(積分器)PL3
からなり、サンプリングパルス $\phi 1 \sim \phi 4$ をT28から
の同期信号に同期させるためのものである。分周回路P
L1は、サンプリングパルス $\phi 1$ の周波数を分周する。
この分周比は同期信号とサンプリングパルスの周波数の
比に等しい。位相比較回路PL2は、サンプリングパル
ス $\phi 1$ と同期信号との位相のずれを検出し、差動増幅器
2A17によるループ発振器の周波数を制御するための
信号を発生する。ループフィルタPL3は、積分処理に
より、直流電圧成分である安定した周波数制御信号を出
力する。

【0167】差動増幅器2A17はループ状に接続さ
れ、ループ型発振器を構成する。差動増幅器2A17が
すべて同じ特性であるときは、 $\phi 1 \sim \phi 4$ の位相は、 $360^\circ/4=90^\circ$ ずつ異なったものとなる。

【0168】アレイ型A/D変換回路本体3Cにおける
入力信号のサンプリングのタイミングを所定のタイミ
ングとするためには、サンプリングパルス発生回路3Sの
調整を行って、サンプリングパルス $\phi 1 \sim \phi n$ (図示例
では $\phi 1 \sim \phi 4$)の位相を調整する必要がある。ところ
で、A/D変換器ADC1~ADCnの製造誤差等により、サン
プリングパルスと実際のサンプリング動作との
時間差は一樣でない。そのため、サンプリングパルス発
生回路3Sの特性をアレイ型A/D変換回路本体3Cの
特性に合わせて調整する必要がある、具体的には、個々
の差動増幅器2A17における遅延量を調整する。

【0169】差動増幅器2A17の一構成例を図37に
示す。Tr13およびTr14はMOSFETで、ゲ
ートに入力される信号-INおよび+INを増幅して、ド
レインに信号+OUTおよび-OUTを出力する。Tr
15およびTr16はMOSFETで、ソースが電源ラ
インVDDに接続し、ゲートにバイアス電圧VBIAS-Pが
接続される。Tr17はMOSFETで、ソースが電源
ラインVSSに接続し、ゲートにバイアス電圧VBIAS-Nが
接続され、ドレインよりバイアス電流をTr13および*

$$|1010110100-1010111001|=101 \text{ (二進数)}$$

$$=5 \text{ (十進数)}$$

【0174】本実施例の方法では、上記の如きデータの
ずれの大きさを評価関数に用いることで調整を実行す
る。設定回路8は、第1実施例の方法の場合と同様の処
理手順に従って、差動増幅器2A17の調整値(Dの静
電容量値)の設定を行う。

【0175】すなわち、本実施例では、容量が可変であ
る回路素子(可変容量ダイオード)Dを使用し、差動増
幅器2A17での信号遅延量(回路素子Dの静電容量
値)を回路全体の機能が好適となるように探索する。従
って、本実施例によれば、アレイ型A/D変換回路本体
3Cおよびサンプリングパルス発生回路3Sの製造工程
におけるプロセスの不均一、部材の品質の不均一、設計
上の誤差等に起因する回路素子の特性の誤差を吸収し

*Tr14に出力する。コンデンサCおよび可変容量ダイ
オードDは、+OUTおよび-OUTの間に直列に接続
され、可変容量ダイオードDは、逆バイアス電圧に応じ
てその静電容量値が変化する。

【0170】外部のD/A変換器4からの制御信号電圧
W8と、PLL制御回路PLからの周波数制御信号W7
とは、抵抗R3および抵抗R4により合成されて、可変
容量ダイオードDの逆バイアス電圧を変化させ、その可
変容量ダイオードDの静電容量値を変化させる。これに
より、+OUTおよび-OUTの信号の遅延量が変化する
ので、レジスタ5の設定値に応じて差動増幅器2A1
7での信号遅延量を変化させることができる。

【0171】かかるアレイ型A/D変換回路1Cの調整
のための、本発明の調整方法の第6実施例について説明
する。この実施例の方法も、基本的には先の第1実施例
の調整方法と同様である。

【0172】アレイ型A/D変換回路1Cひいてはその
回路内のアレイ型A/D変換回路本体3Cおよびサンプ
リングパルス発生回路3Sが製造された後、検査工程
で、図34に示すように、設定回路8、アナライザ9お
よびテスト信号発生装置10が上記の回路3Cおよび3
Sに接続され、テスト信号発生装置10は、テスト信号
を入力端子6に入力する。テスト信号は、例えば、同期
信号に同期したなるべく歪みの少ない正弦波とする。

【0173】サンプリングのタイミングが所定のタイ
ミングからずれている場合、出力端子7からの出力はテ
スト信号から予想される値からずれたものとなる。そ
こで、設定回路8は、アナライザ9が出力する、出力信号
の予想される値に対するデータのずれの大きさを評価関
数で用いればよい。例えば出力信号の予想される値が2
進表記で1010110100であり、実際の出力信号
が1010111001の場合、データのずれの大きさは、
次式で表される。

【数5】

て、アレイ型A/D変換回路本体3Cおよびサンプリ
ングパルス発生回路3Sひいてはアレイ型A/D変換回路
1Cが所定の仕様を満たす機能を有するように調整す
ることができる。

【0176】上記のように本発明は、直接的な調整対象
の回路(サンプリングパルス発生回路1S)を、その回
路と共働して基本的回路を構成する他の回路(アレイ型
A/D変換回路本体3C)の特性を補償するように調整
する場合にも有効である。

【0177】図38は、本発明の電子回路の第7実施例
としての、データ伝送線路上にバッファを具えた回路
(以下、「データ伝送回路」という)の一構成例を示
す。ここで、データ伝送線路とは、主にデジタルデータ

を伝送するための線路をいい、データ伝送線路は、プリント基板配線、コネクタ部分、ケーブル、IC内部の配線等の複合であって複数の部分で構成されることが多い。かかるデータ伝送線路において、線路の特性インピーダンスが複数の部分で異なっていると、特性インピーダンスの変化する箇所では伝送する信号の反射を生じ、信号の波形に歪が生じ、デジタルデータの伝送誤りが生じることがある。そこで、本実施例では、歪を減らすためのコンデンサを複数追加するとともに、それらのコンデンサの静電容量値を、歪が最小になるように調整する。なお、図38中、図3に示すと同様の部分はそれと同一の符号にて示す。

【0178】図38中、1Tはデータ伝送回路、3Tは基本的回路としての調整対象のデータ伝送回路本体、P5～P8は伝送線路、AM3、AM4はバッファである。伝送線路P5～P8はそれぞれ特性インピーダンスが異なっている。データ伝送回路本体3Tにおいて、C14～C17は静電容量を変化させ得る可変容量素子であり、伝送線路に適宜接続されている。可変容量素子C14～C17は、図38中点線で示す制御信号によって各々パラメータを調整される。本実施例では、この調整箇所は4カ所である。従って、制御信号を発生させるD/A変換器4およびレジスタ5は、4組用いられている。

【0179】また図38中、6、7はそれぞれ、入力信号端子および出力信号端子を示し、設定回路8およびアナライザ9は外部装置となっている。

【0180】ここで、バッファAM3は、入力信号端子6からの入力信号を伝送線路に送り出すための送信バッファとして機能し、バッファAM4は、伝送線路からのデータ（信号）を出力信号端子7に出力するための受信バッファとして機能する。可変容量素子C14～C17は、例えば第2実施例の場合と同様にして構成することができる。

【0181】かかるデータ伝送回路本体3Tにおいては、1つの可変容量素子の調整値（静電容量）を変え、ほかの可変容量素子の最適な調整値も変わってしまう。このため、伝送回路本体3Tを、その特性が所定の仕様（伝送誤りが最小である状態）を満たすような好適な状態に調整しようとする、調整箇所C14～C17を総合的に調整する必要がある。

【0182】次に、上記データ伝送回路1Tの調整のための、本発明の調整方法の第7実施例について説明する。この実施例の方法も、基本的には先の第1実施例の調整方法と同様であり、この調整方法により、可変容量素子C14～C17は、伝送線路P5～P8を伝搬する信号の波形歪みが最小となるように調整される。

【0183】上記実施例のデータ伝送回路1Tが製造された後、検査工程で、図38に示すように、設定回路8、アナライザ9およびテスト信号発生装置10がその

データ伝送回路1Tに接続され、テスト信号発生装置10は、伝送回路1Tの入力端子6にテスト信号を入力する。ここにおける評価関数は、例えば、データ伝送の誤り率を用い、理想的なデータ伝送の誤り率を0として評価する。設定回路8は、第1実施例の調整方法の場合と同様の処理手順に従って、データ伝送回路本体3Tの可変容量素子C14～C17の調整値の設定を行う。

【0184】本実施例では、データ伝送回路1Tの回路素子にその伝達特性、容量が可変である回路素子（調整素子）C14～C17を使用し、その調整素子の特性を回路全体の機能が好適となるように探索する。従って、本実施例によれば、データ伝送回路1Tの製造工程におけるプロセスの不均一、部材の品質の不均一、設計上の誤差等に起因する回路構成素子の特性の誤差を吸収して、データ伝送回路1Tを、所定の仕様を満たす（データ伝送の誤り率が最小である）ように調整することができる。

【0185】本実施例においては、伝送線路の数を4本としたが、本発明においては、いうまでもなく、異なるインピーダンスの伝送線路の数を問わない。なお、互いに隣接する可変容量素子の間隔は、取り扱うデータの最高ビットレート（周波数）に対応する波長の1/4より小さくなるようにすると効果的である。また、可変容量素子C14～C17の他に、バッファAM3、AM4の特性を調整すると、さらに効果的である。

【0186】本発明においては、電子回路を動作させる条件が複数であってその条件毎に電子回路の最適な調整結果が異なる場合に、各調整素子に対しレジスタ5を複数組用意して、条件毎にレジスタ5を切り替える方法も可能である。

【0187】また、電子回路の動作特性はその回路の温度により変化する場合がありますので、最適な調整結果も温度とともに変わってしまう場合がある。さらに、電子回路の仕様（例えばフィルタ回路の中心周波数）を当初のものから変えた特性が必要になる場合がある。

【0188】図39は、条件毎にレジスタ5を切り替える場合の一構成例を示す。ここでは条件の数をkとする。SELは、条件に応じて対応するレジスタ5を切り替える選択器、5-1～5-kは、k個のレジスタ5である。ここで便宜上5-iにおけるiをレジスタ番号と呼ぶ。

【0189】かかる構成を用いた場合の調整方法は、例えば次のようにすることができる。電子回路の温度が変化してもその回路の特性が一定となるようにしたい場合、温度とレジスタ番号とを対応させておき、検査工程で、それぞれのレジスタ番号に対応する温度で本発明の方法による調整を行い、調整結果をレジスタ5-1～5-kに記憶させておく。そして電子回路を使用する際には、選択器SELにより回路の温度を検出して対応するレジスタ番号を選択するようにする。

【0190】なお、上記の調整方法において、いくつかのレジスタ番号に対応する温度での調整を省略することも可能であり、その場合には、他の調整されたレジスタ値から補間により推定されるレジスタ値を当該レジスタに記憶させておけばよい。補間の方法としては、直線近似、スプライン関数などを使うことが出来る。

【0191】電子回路の特性を複数の仕様条件に対応させて切り替えることも可能である。この場合には、仕様条件とレジスタ番号とを対応させておき、検査工程で、それぞれのレジスタ番号に対応する仕様条件で本発明の方法による調整を行い、調整結果をレジスタ5-1~5-kに記憶させておく。そして電子回路を使用する際には、選択器SELにより仕様条件に対応するレジスタ番号を選択するようにする。

【0192】なお、上記の調整方法においても同様に、いくつかのレジスタ番号に対応する仕様条件での調整を省略することも可能であり、他の調整されたレジスタの値から補間により推定されるレジスタ値を当該レジスタに記憶させておけばよい。

【0193】この発明の電子回路における調整素子2は、図40に示すように構成することも可能である。この場合には、D/A変換器4は省略でき、レジスタ5のレジスタ値によって直接、調整素子2のパラメータを設定することができる。

【0194】図40は、調整素子2を、異なる特性を持つ素子をスイッチで切り替えて合成する場合の一構成例を示すものであり、図40中、C21~C25はそれぞれ異なる静電容量値を持つコンデンサ、Sw21~Sw25はレジスタ5のレジスタ値に対応してオンオフするスイッチである。ここでは、5個のコンデンサの各々とそれに対応するスイッチとが直列に接続され、それらの直列回路が互いに並列に接続されており、コンデンサC21の静電容量値を基準値CUとして、他のコンデンサは2進の重み付けがなされ、コンデンサC22の静電容量値は2CU、コンデンサC23の静電容量値は4CU、コンデンサC24の静電容量値は8CU、コンデンサC25の静電容量値は16CUとされている。

【0195】スイッチSw21~Sw25は、レジスタ5の対応するビットが1であるときはオンの状態となり、該ビットが0であるときはオフの状態となる。この回路の合成静電容量は、レジスタ5のレジスタ値に対応するスイッチSw21~Sw25のオンオフにより、0CU~31CUの間で変化させることができる。

【0196】この構成例は、調整素子2に対応するレジスタ5が5ビットのものである場合の例であるが、調整素子2は、ビット数に関わらず、ビット数と同じ数のコンデンサとスイッチを用いることで同様に構成することができる。

【0197】また、コンデンサの代わりに他の素子、例えば、抵抗器、コイル、Gmアンプ等をスイッチと直列

に接続しても同様に構成可能であり、その場合には、それぞれ、抵抗値、インダクタンス値、伝達コンダクタンス値を変化させることができる。

【0198】この一方、この発明の電子回路におけるレジスタ5は、図41に示すように構成することも可能である。この場合には、レジスタ5のアナログ制御信号値によって直接、調整素子2のパラメータを設定することができる。すなわち、素子パラメータを制御する制御信号を保持する保持回路によって、制御信号としてアナログ値を保持する構成である。

【0199】図41中、Fecは強誘電体を用いた電荷記憶素子であり、この電荷記憶素子Fecは、外部からの電流により、蓄積する電荷を増減することができる。この電荷記憶素子Fecにおいては、蓄積した電荷に応じて電圧が両端に発生する。そしてその蓄積した電荷は、外部から電流を意図的に流さない限り一定に保たれて、長期間（概ね1年~10年以上）保持される。これにより電荷記憶素子Fecは、一定のアナログ電圧を保持することができる。

【0200】また図41中、CSは電荷記憶素子Fecの書き込み制御回路、W9はFecの書き込み電流、Tr18はMOSFETである。Tr18のドレインは電源ラインVDDに、ゲートはFecと書き込み制御回路CSとに、ソースは抵抗Rと書き込み制御回路CSとに、それぞれ接続されている。電荷記憶素子Fecの電圧はTr18のゲートに入力され、ゲートの入力電圧に対応した電圧がTr18のソースに発生し、調整素子への制御信号電圧W10がそこから出力される。

【0201】図41中、W11は設定回路8から出力される設定値であり、この設定値W11はD/A変換器DACによりアナログ信号W12に変換されて、書き込み制御回路CSに入力される。電荷記憶素子Fecに設定値を書き込む際には、書き込み制御回路CSにより、制御信号電圧W10の電圧値と設定値のアナログ信号W12の電圧値とが等しくなるように書き込み電流W9を出力して、電荷記憶素子Fecの蓄積電荷の量を調整する。

【0202】電荷記憶素子Fecへの書き込み時以外は、常に電荷記憶素子Fecに接続される回路に流れる電流が極めて小さい必要があり、書き込み電流W9の電流値が0となるようにされている。

【0203】この構成例によれば、レジスタ5はアナログ値の制御信号を記憶する記憶回路として機能するので、本発明の電子回路1においてD/A変換器4を省略することができ、また、レジスタ5を小型化することもできる。

【0204】本発明は、いうまでもなく、電子回路を用いる装置の全体、一部、あるいは複数の部分の何れにも適応可能であり、電子回路の規模を問わない。

【0205】また、本発明の方法による調整は、D/A

変換器 4 が、出力電圧／出力電流の精度が低く、単調性が保証されないものであっても、ほとんど支障がない。それゆえ、本発明で用いる D/A 変換器 4 は、半導体基板上で従来よりも小さい面積で作製することができる。

【0206】以上、図示例に基づき説明したが、この発明は上述の例に限定されるものでなく、特許請求の範囲の記載の範囲内で当業者が容易に改変し得る他の構成をも含むものである。

【図面の簡単な説明】

【図 1】 本発明の電子回路および本発明の電子回路の調整方法を示す概念図である。

【図 2】 従来技術の問題点を示す説明図である。

【図 3】 本発明の電子回路の第 1 実施例を例示する構成図である。

【図 4】 上記実施例の電子回路に用いるフィルタ回路を示す構成図である。

【図 5】 上記フィルタ回路に用いる Gm アンプを例示する構成図である。

【図 6】 上記実施例の電子回路に用いる D/A 変換回路を例示する構成図である。

【図 7】 本発明の電子回路の調整方法の第 1 実施例の処理手順の概略を示すフローチャートである。

【図 8】 一般的な遺伝的アルゴリズムの手順の概略を示すフローチャートである。

【図 9】 遺伝的アルゴリズムで用いる染色体を例示する説明図である。

【図 10】 上記実施例の方法における遺伝的アルゴリズムを用いた処理手順を示すフローチャートである。

【図 11】 上記実施例の方法における遺伝的アルゴリズムで用いる染色体とそこから定まるレジスタ値およびバイアス電流値とを示す説明図である。

【図 12】 上記実施例の方法における遺伝的アルゴリズムで行う選択淘汰処理の手順を示すフローチャートである。

【図 13】 上記実施例の方法における遺伝的アルゴリズムで行う交叉処理の手順を示す説明図である。

【図 14】 上記実施例の方法における遺伝的アルゴリズムで行う突然変異処理の手順を示す説明図である。

【図 15】 上記実施例の方法による上記実施例の電子回路の調整実験の結果を示す特性図である。

【図 16】 上記実験中の評価関数値と世代数との関係を示す特性図である。

【図 17】 上記実施例の電子回路の一変形例を示す構成図である。

【図 18】 本発明の電子回路およびその調整方法の第 2 実施例を例示する説明図である。

【図 19】 上記実施例の電子回路に用いる D/A 変換回路を例示する構成図である。

【図 20】 上記実施例の電子回路に用いる混合回路を例示する構成図である。

【図 21】 上記実施例の電子回路に用いる分配・移相回路を例示する構成図である。

【図 22】 上記分配・移相回路の具体的構成を例示する構成図である。

【図 23】 上記実施例の電子回路に用いる他の分配・移相回路を例示する構成図である。

【図 24】 上記他の分配・移相回路の具体的構成を例示する構成図である。

【図 25】 本発明の電子回路およびその調整方法の第 3 実施例を例示する説明図である。

【図 26】 本発明の電子回路およびその調整方法の第 4 実施例を例示する説明図である。

【図 27】 上記実施例の電子回路に用いる Gm アンプの一例を示す構成図である。

【図 28】 上記実施例の電子回路に用いる Gm アンプのさらに他の例を示す構成図である。

【図 29】 上記実施例の電子回路に用いる調整素子の二つの例を示す構成図である。

【図 30】 上記実施例の電子回路に用いる調整素子のさらに他の例を示す構成図である。

【図 31】 上記実施例の電子回路に用いる調整素子のさらに他の例を示す構成図である。

【図 32】 図 31 に示す調整素子の特性を示す説明図である。

【図 33】 本発明の電子回路およびその調整方法の第 5 実施例における焼きなまし方を用いた処理手順を示すフローチャートである。

【図 34】 本発明の電子回路およびその調整方法の第 6 実施例を例示する説明図である。

【図 35】 上記実施例の電子回路に用いるアレイ型 A/D 変換回路本体を例示する構成図である。

【図 36】 上記実施例の電子回路に用いるサンプリングパルス発生回路を例示する構成図である。

【図 37】 上記サンプリングパルス発生回路に用いる差動増幅器を例示する構成図である。

【図 38】 本発明の電子回路およびその調整方法の第 7 実施例を例示する説明図である。

【図 39】 本発明の電子回路およびその調整方法で用い得るレジスタの他の構成を示す説明図である。

【図 40】 本発明の電子回路およびその調整方法で用い得る調整素子の他の構成を示す説明図である。

【図 41】 本発明の電子回路およびその調整方法で用い得る調整素子のさらに他の構成を示す説明図である。

【符号の説明】

- 1 電子回路
- 2 調整素子
- 3 基本的回路
- 4 D/A 変換回路
- 5 保持回路
- 6 入力端子

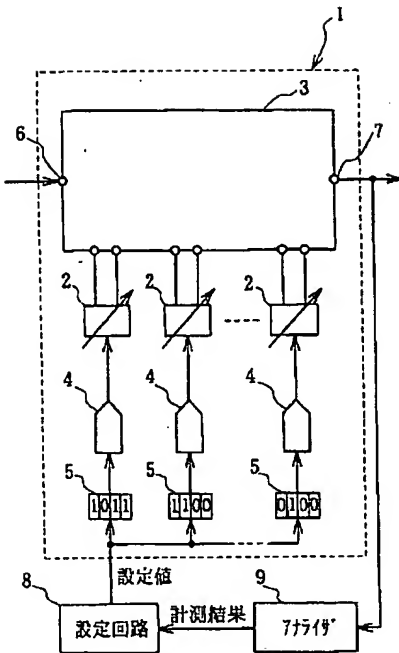
7 出力端子

* 9 アナライザ

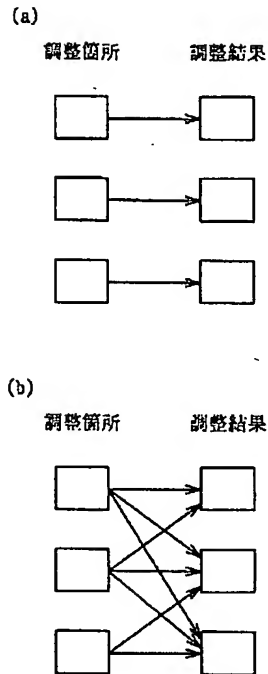
8 設定回路

* 10 テスト信号発生回路

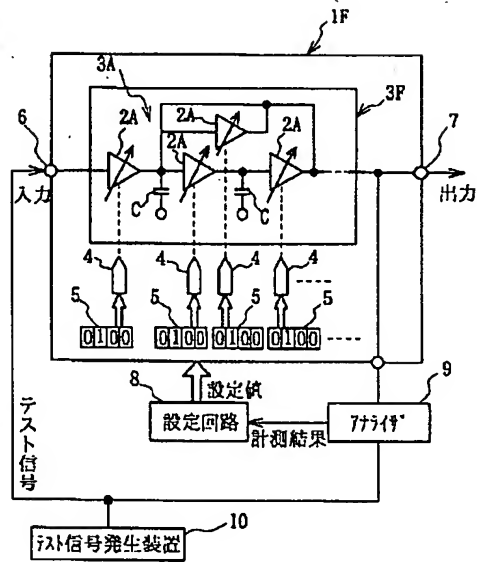
【図1】



【図2】

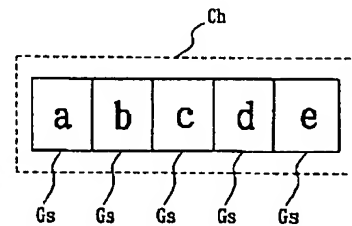
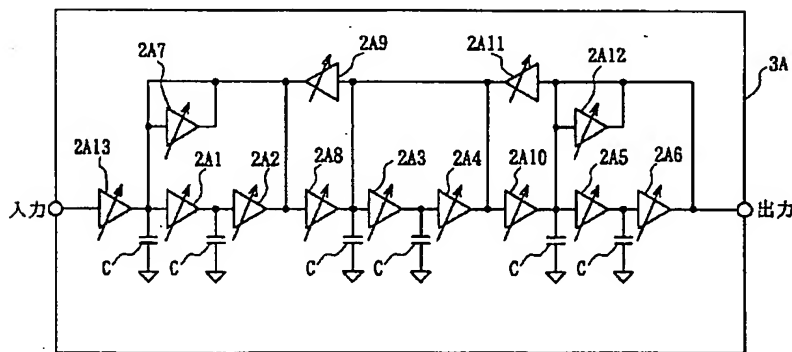


【図3】

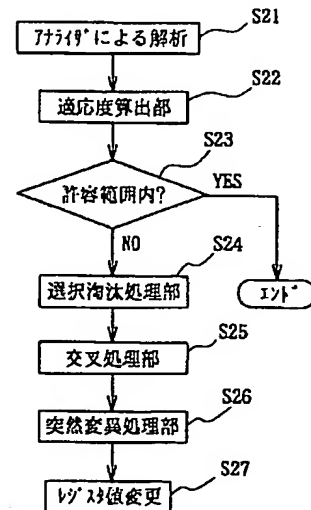


【図9】

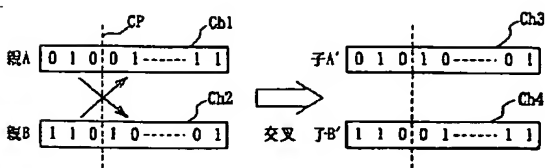
【図4】



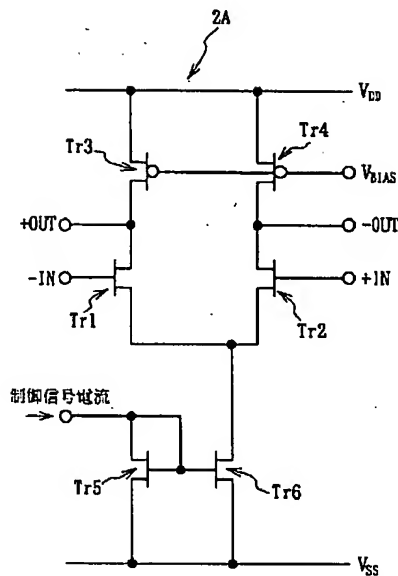
【図10】



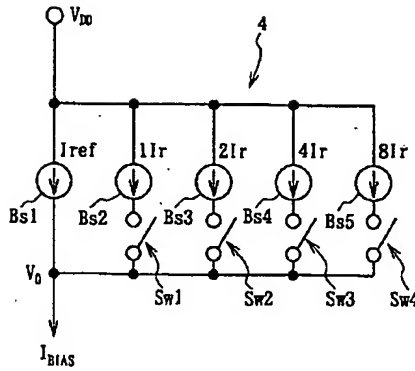
【図13】



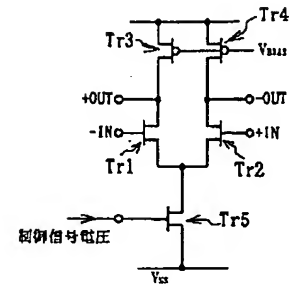
【図5】



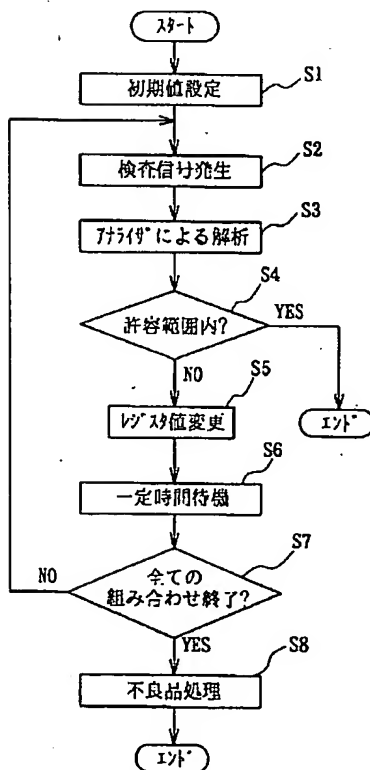
【図6】



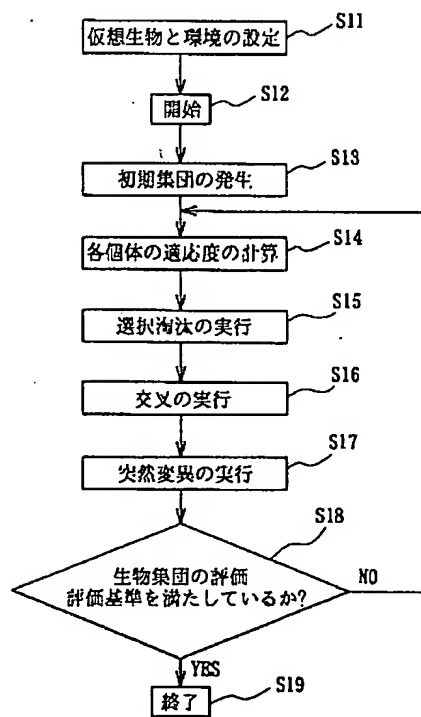
【図27】



【図7】



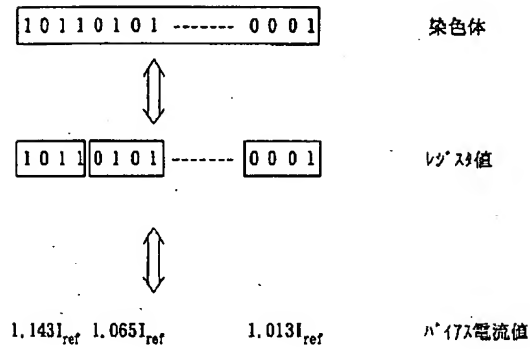
【図8】



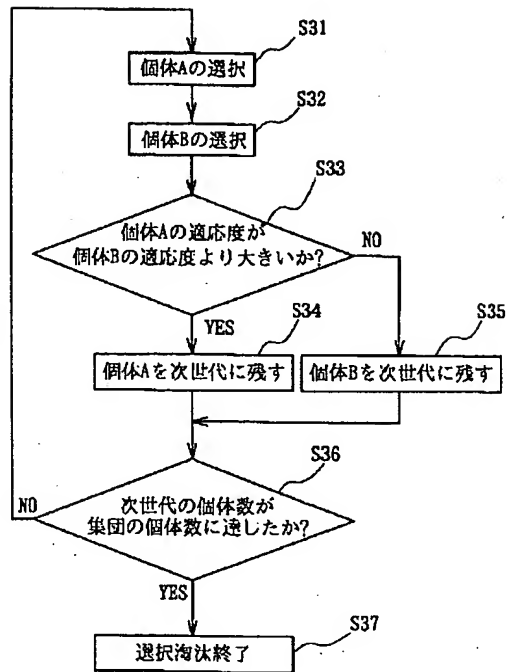
【図14】



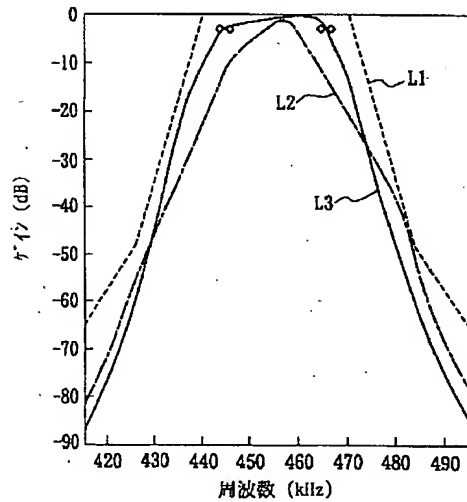
【図11】



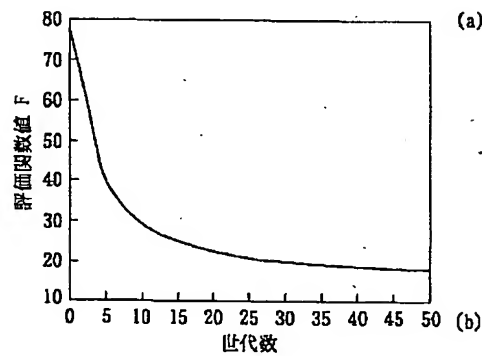
【図12】



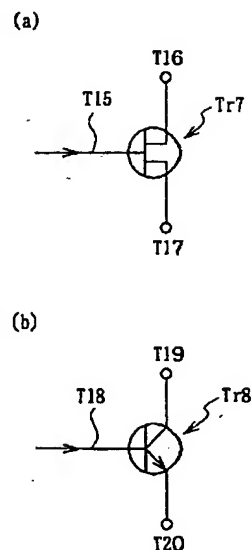
【図15】



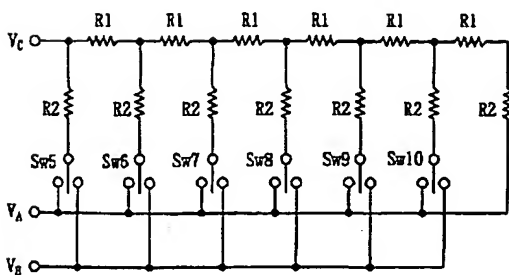
【図16】



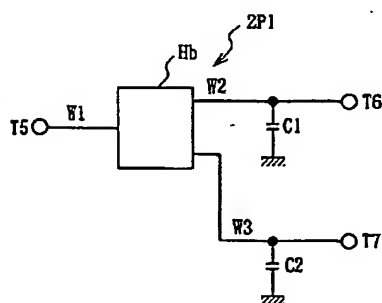
【図29】



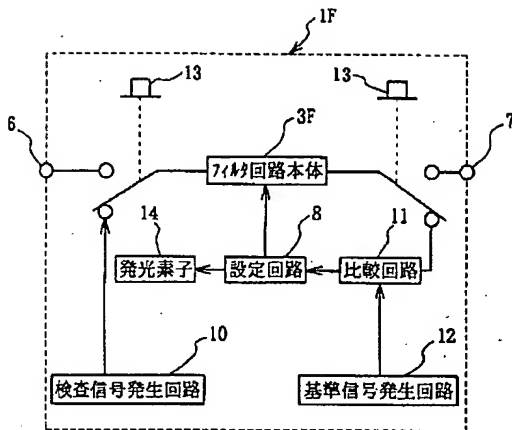
【図19】



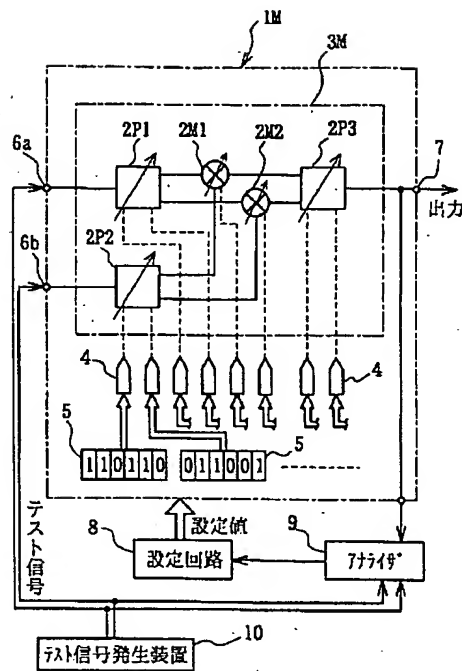
【図21】



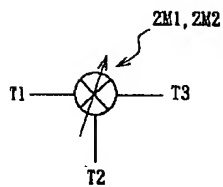
【図17】



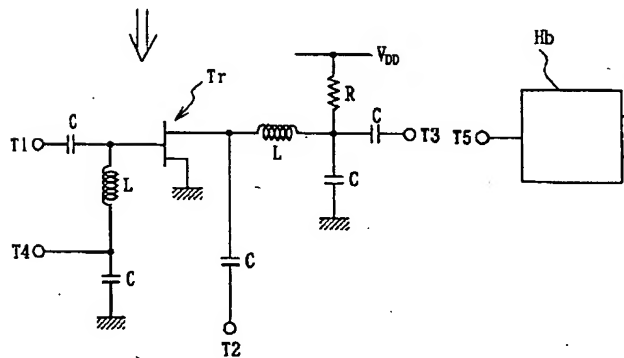
【図18】



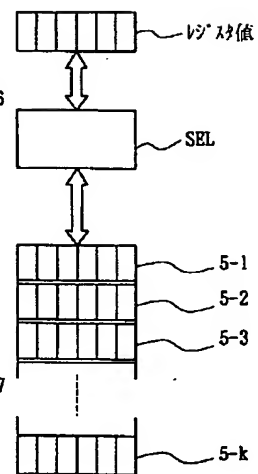
【図20】



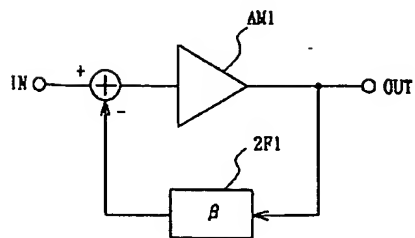
【図22】



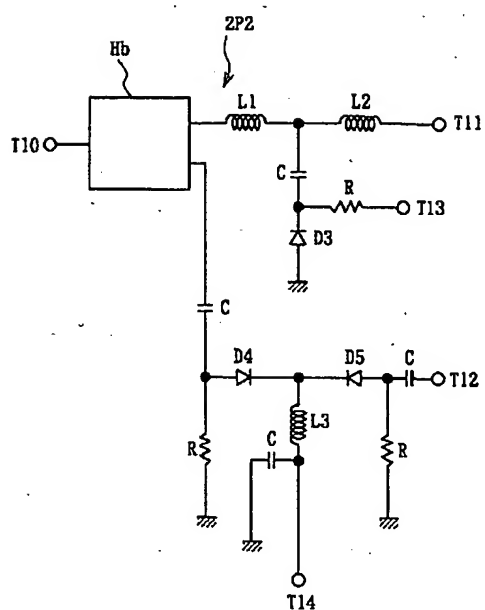
【図39】



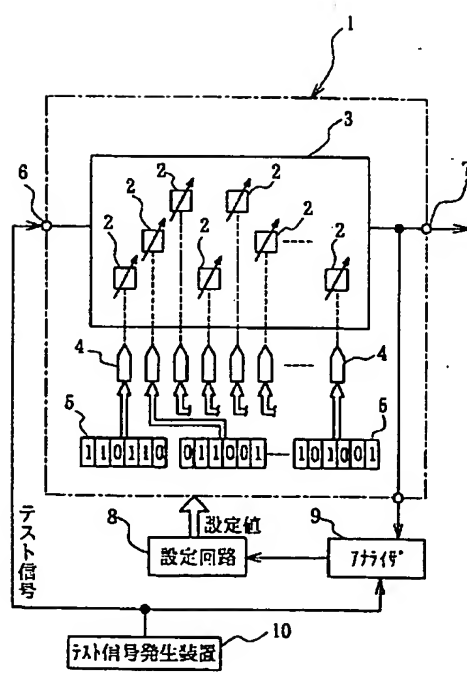
【図28】



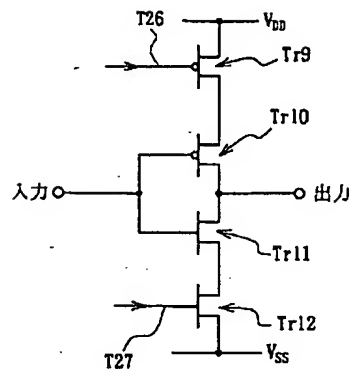
【图 24】



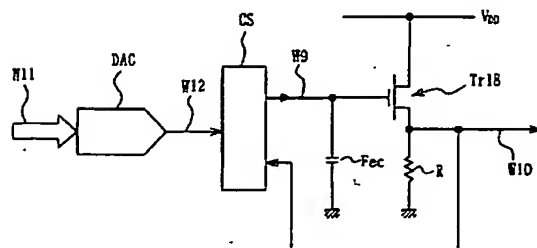
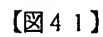
【图 26】



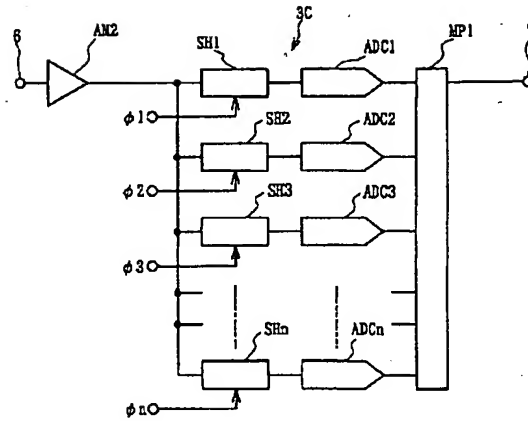
【図 3 1】



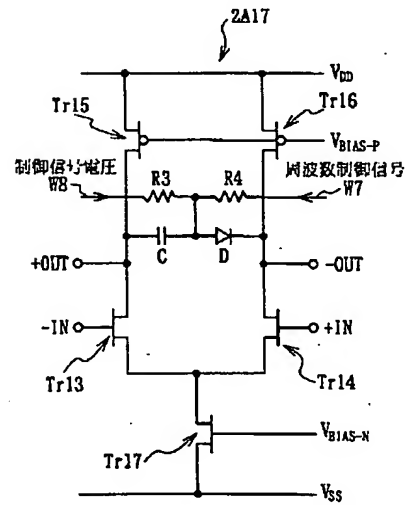
【図 3 2】



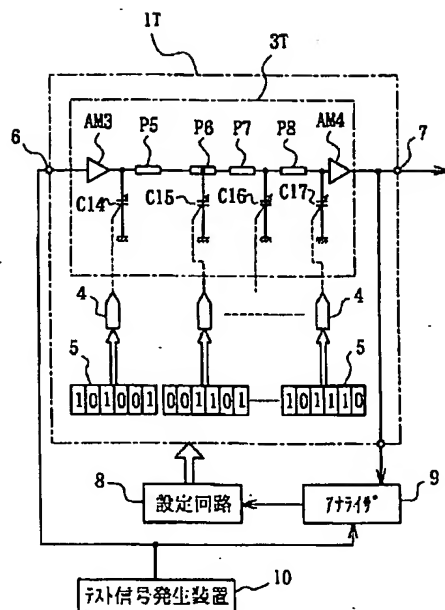
【図 3 5】



【図 3 6】



【図38】



フロントページの続き

(74)上記2名の代理人 100059258

弁理士 杉村 暁秀 (外2名)

(72)発明者 樋口 哲也

茨城県つくば市梅園1丁目1番4 工業技
術院 電子技術総合研究所内

(72)発明者 村川 正宏

茨城県つくば市梅園1丁目1番4 工業技
術院 電子技術総合研究所内

(72)発明者 河西 勇二

茨城県つくば市梅園1丁目1番4 工業技
術院 電子技術総合研究所内

(72)発明者 桐生 昭吾

茨城県つくば市梅園1丁目1番4 工業技
術院 電子技術総合研究所内

(72)発明者 安達 敏男

神奈川県厚木市岡田3050番地 旭化成マイ
クロシステム株式会社内

(72)発明者 鈴木 史郎

神奈川県厚木市岡田3050番地 旭化成マイ
クロシステム株式会社内